

# アナログ派がこだわる デジタル・プロセッサの製作 Part 2

別府俊幸

## 本機的设计

それでは本機的设计に入ります。第1図にブロック・ダイアグラムを示します。本機はデータレシーバ (SN 75157), 信号処理 LSI (ヤマハ YM 3623 B), 4倍オーバーサンプリング・デジタル・フィルタ (ヤマハ YM 3404 B), D/A コンバータ (パーブラウン PCM-56 P), I/V コンバータ, アナログ・フィルタ, バッファ回路から構成されます。

それでは信号の流れにそって各部の説明に入ります。まずは入力部からです。

## 光伝送について

最近の CD プレーヤは, 同軸ケーブル用と光ファイバ用の出力端子の2種類が備えられているものが多い

ました。ここでは光伝送と, 同軸ケーブルによる伝送に付いて考えてみたいと思います。

光伝送の利点は,

- ① オーディオ機器間の接地線の分離
- ② ファッション性
- ③ 音質向上
- ④ 入出力部と伝送線の低価格化
- ⑤ 伝送線数の削減

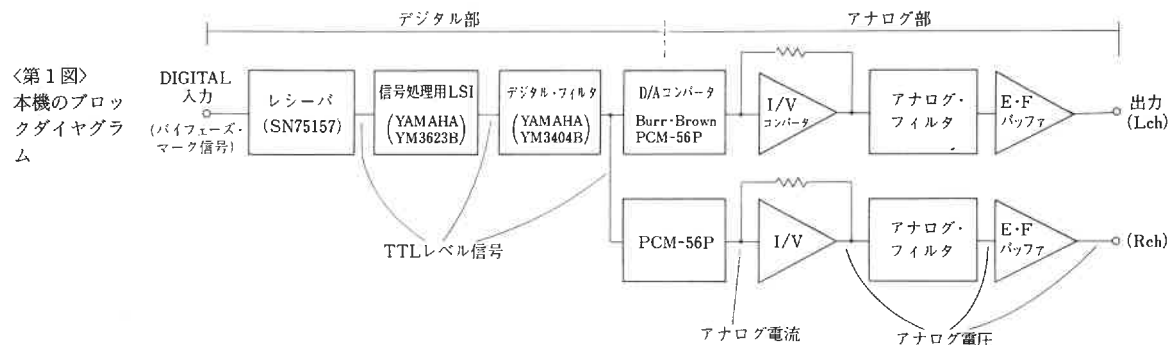
等ですが, 一部のクレージなオーディオ・マニアにとって意味のある項目は, 1と3だけで, さらに3は「なぜか」の理由を示してはいません。

では①について, 一見, 光伝送を用いればデジタル系を扱うプレーヤ部と, アナログ系を扱う D/A コンバータ部を完全に電気的に分離できるような気がします。しかし, このシリーズでも明らかなように, D/A 部の中にも水晶発振子, TTL 等多くのロジック

素子が含まれています。そうですアナログ回路だけではないのです。アナログ系とデジタル系の GND 分離などできてはいません。したがって, これは不完全な理由です。

それでも同軸ケーブルを用いたら2つのケース間の GND が接がり, 光ファイバであれば分離できそうな気がします。が, これも間違いです。試しに, お手持ちの CD プレーヤのデジタル出力と, アナログ出力端子の外側をテスターで調べてみてください。導通しないはずですが, 第2図に示すように, プレーヤ側にパルス・トランスが用いられ, 絶縁されているからです。

また, 金属 (同軸) による接続は, 高周波の不要輻射をもたらす, 「CD プレーヤの電源を on すると, レコードを聞いていても音が悪くなる」という意見もあります (筆者宅で試した限り



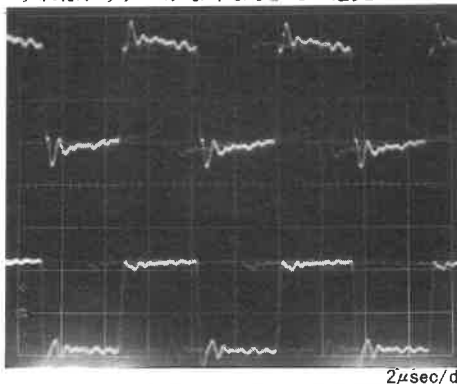
〈第1図〉  
本機のブロックダイアグラム

では、悪くなったとは感じられなかったが)。ちょっと待ってください。一体どこからノイズが放出されるのでしょうか。同軸ケーブルだけからでしょうか。確かにケーブルから放出される分もあるでしょう。しかし大部分は、CDプレーヤのケースから漏れ出てくるのではないのでしょうか。

アマチュア無線家は、「高周波のシールド・ケースを作るときには、ケースから水が漏れるようでは駄目だ」といいます。なぜなら高周波では、波長が短いために小さな穴からでも電波が入りしてしまうからです。そうです、読者のCDプレーヤにも放熱穴が、直径3mmもある巨大な穴が開いているに違いありません。同軸ケーブルのシールド線の編目よりも、はるかに大きなノイズ放出穴になると考えられます。

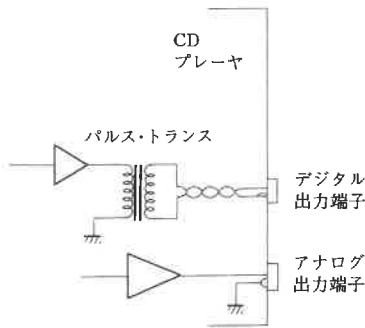
また、光伝送の方が速いとの意見も聞かれます。確かに光は高速で進みます。しかし電流—光、光—電流変換する素子の応答時間を考えると、全体としては遅くなります。もっとも速くても遅くても途中で信号が間違わなければ関係ないはずですが、さらに光電変換を伴えば、発光素子と受光素子の問題が出てきます。これは受光素子の on 時と off 時の応答時間の差、また発光側と受光側とのスレシホールド・レベル (“H”とみなすか“L”と見なすかの境界)の差、とくに光ファイバでの損失が大きいとすればこれまた on-off 時間の誤差に影響するはずですが。

また、光も終端では反射し、伝送線路で波形ひずみが生じますから「光にすればジッターがなくなる」との意見



〈第3図〉上：デジタルIN端子から入力されたバイフェーズマーク信号、下：SN 75157 出力(TTLレベル)バイフェーズマーク信号のためオシロでは完全な同期がとれずイメージが見える

MAR. 1989



〈第2図〉デジタル出力端子は絶縁されている

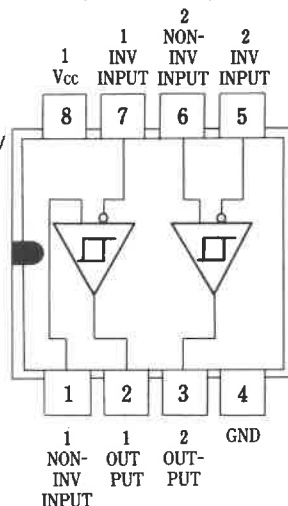
にも根拠があるように思われません。

以上の理由から、私は光伝送は当面採用しない予定です。

ではふり返って、同軸ケーブルの使用に付いて考えてみますと、ここでもオーディオ・マニアの業として、OFCとかPC-OCCとかの素材論争に走る傾向が見受けられますが、ちょっと待ってください。高周波では、伝送される波形を最も忠実に伝えるのは定インピーダンス線路です。当然ここは、CDプレーヤの送り出し側インピーダンス75Ωに合わせて3C2Vなどの75Ωケーブルを使用し、同じ抵抗値で受けるべきでしょう。そして75Ωケーブルをリファレンスとした上で、他のケーブルを比較するべきではないでしょうか。

### デジタル信号の受信回路

CDプレーヤのデジタル・アウトには、パルス・トランスが用いられていることは前述しました。したがって、



〈第4図〉SN 75157のピン配置(TIマニュアルより)

GNDが分離されています。そのため、送り出された信号は、通常のTTLレベルとは異なってきます。たとえば、トランスから出力された一方の端子を接地しても、他の端子では土に振れますから、このような信号をTTLやC-MOSに直接入力することはできません(第3図)。破壊してしまいます。そこで受信には専用のレシーバICを用います。第4図にSN 75157のピン配置、第5図に入力特性<sup>3)</sup>を示します。

このレシーバはコンピュータの信号伝送規格の1つ、RS-422 Aの通信に使用されるもので、バランス伝送に対応しています(第6図)。SN 75157は2つの入力端子間が、±0.04V以上か否かで“0”、“1”を識別し、対応したTTLレベルの信号を出力します。

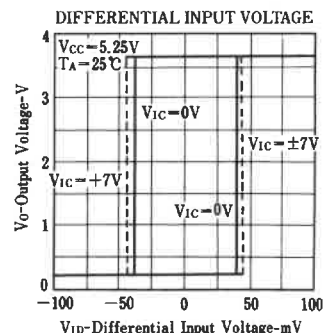
このICの入力を75Ωで終端し、(−)入力の端子をGNDに落とします。が、接地を外さないようにしてください。はずしてもバランス線路にはなりませんので、念のため(第7図)。

### プレーヤから送られて来る信号の形式

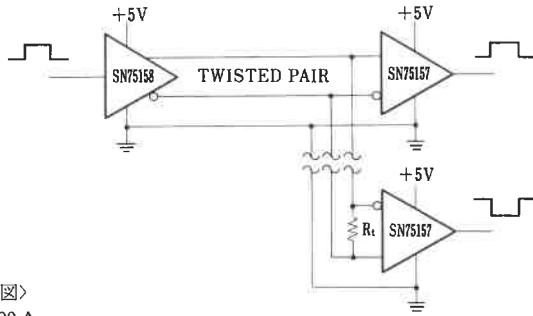
CDプレーヤのデジタル・アウト端子の前にはパルス・トランスが用いられていることは前述しました。しかし、トランスは直流を伝送できませんから、信号も通常の“H”と“L”の形式ではなく、他の形式とする必要が出てきます。第8、9図にCDプレーヤのデジタル出力に使われているバイフェーズマーク信号を示します<sup>1)</sup>。

TTLレベルでは“H”“L”で“0”“1”

の区別をしましたが、バイフェーズマーク信号では354ns(サンプリング周波数44.1kHzの場合)を1ビットとして、この間にH→L or L→Hの切り



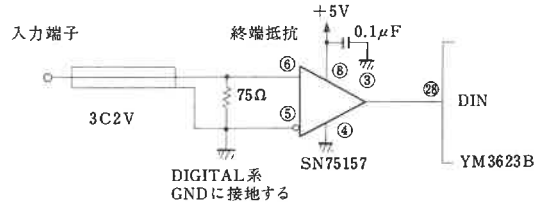
〈第5図〉SN 75157の入出力特性



〈第6図〉  
RS-422 A

換わりがあれば“1”，なければ“0”と定義します。ビットとビットの間では必ずH→L or L→Hの変化がありますから，“0”がズラッと並んでいても，信号は“H”“L”をくり返し，トランス伝送も可能になります。

このバイフェーズマーク信号を 32 ビット集めてサブフレームが構成されます。サブフレームは，4 ビットのプリアンブル，4 ビットの予備（16 ではない！）のオーディオ・データ，4 ビットの制御信号に分けられま

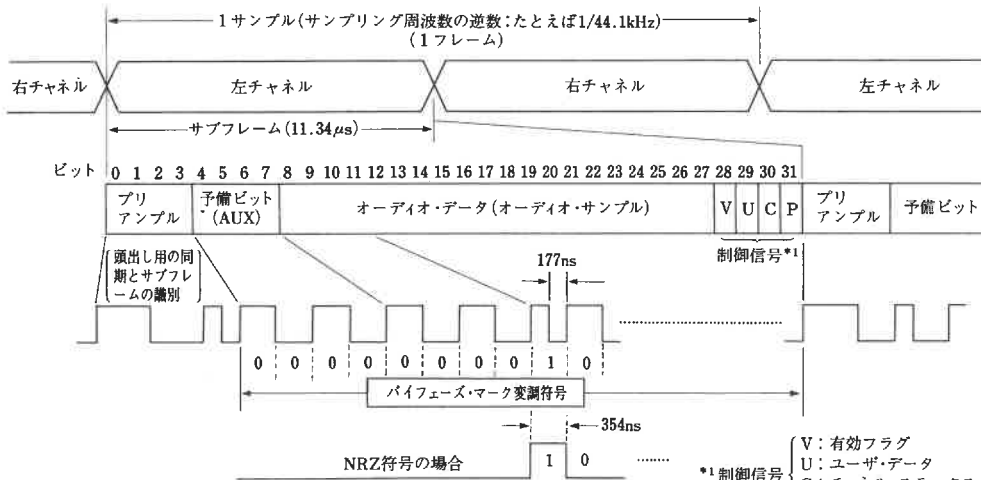


〈第7図〉 信号入力部(75Ω は高周波特性の良い抵抗が望ましい)

す。

プリアンブルは，バイフェーズマーク信号ではなく，独自の符号を用い，受信側との同期，頭出し，左右信号の識別に使われます。

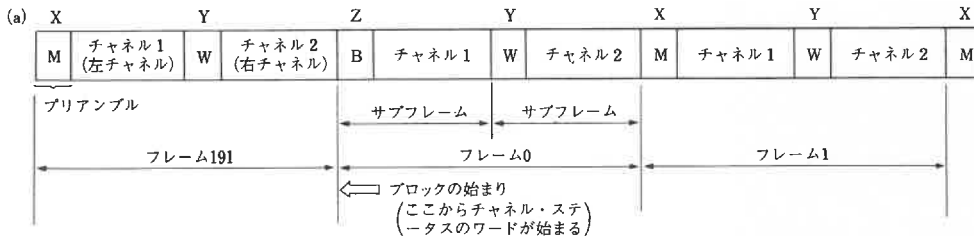
オーディオ・データは将来の拡張のためと，業務用 DAT にも共通に使えるようにするために 20 ビットの領域を確保しています。もちろん 4 つは今



〈第8図〉  
デジタル・オーディオ・インタフェースの信号フォーマット

※サンプリング周波数が44.1kHzのとき。

デジタル・オーディオ・インタフェースの信号フォーマット，左チャンネルのLSBからシリアルに送る。32ビットのサブフレーム2個で最小単位(1サンプル=1フレーム)を構成。

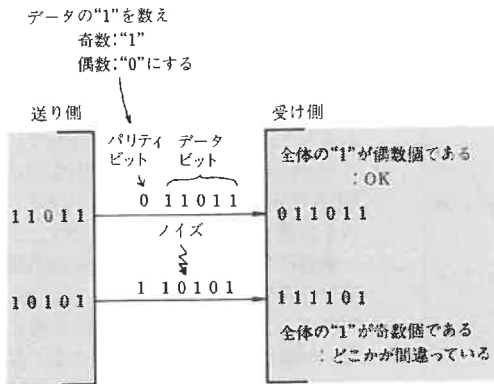


〈第9図〉  
2ch ステレオの送り方とプリアンブル

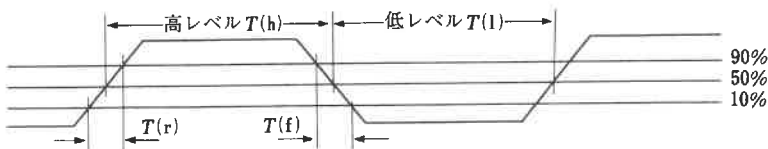
(b)

1つ前のサブフレームの最終シンボル	0	1
	送信する符号	
B: ブロックの始まりとチャンネル1の始まりを兼ねるとき	11101000	00010111
M: チャンネル1の始まり(ブロックの始まりではない)	11100010	00011101
W: チャンネル2あるいは3, 4, …の始まり	11100100	00011011

2チャンネル・ステレオの送り方とプリアンブルの違い



〈第10図〉パリティチェック



- (a) 立ち上がり時間(%) =  $100 \cdot T(r) / (T(l) + T(h))$   
 降下時間(%) =  $100 \cdot T(f) / (T(e) + T(h))$   
 データ・ビットが“1”のときは20%以内、“0”のときは10%以内にそれぞれ抑えなければならない。
- (b) デューティ・サイクル(%) =  $100 \cdot T(h) / (T(l) + T(h))$   
 立ち上がり時間と降下時間、デューティ・サイクル(パルス幅ひずみ)

〈第11図〉立ち上がり時間と降下時間

の所あいています。信号はLSBファースト、2の補数形式です。

制御信号はコピー禁止、ステータス、パリティなどのコードを送るためのものです。ここではパリティについて説明しましょう。

パリティは、コンピュータ間の通信ではほとんど必ず使用される誤り検出方法です(第10図)。サブフレームのビット4から30までを調べ、この間の“1”の個数が偶数であれば“0”を、奇数であれば“1”をビット31に付加します。これによってビット4から31までの“1”の数は必ず偶数となり、受信側でもビット4から31までの“1”の個数をカウントして偶数になっているか否かをチェックすれば、誤りの有無を見つけることが可能になります。なぜならデータが失われたビットは、もともと0であれば1に、1であれば0に反転していますから(0.5は存在しない)、“1”が偶数個でなくなるからです。

しかし、途中で反転したビット数が1個であれば、パリティによって間違いを認識(どのビットが誤ったかを見

つけるのはパリティだけではできません)できますが、2つのビットが反転してしまえば、やはり偶数個になりますから発見できなくなります。もっとも30個のデータのうち、2個も誤りが発生するようではまともな伝送はできません。

第8図に戻りますが、このサブフレーム信号2つが“L”、“R”の順に並んで1フレームとなり、ステレオ分のデータになります。このフレームの時間はサンプリング周波数の逆数になります。たとえばサンプリングが44.1 kHzであれば

$$1/44.1k = 22.675ns$$

DATであれば48 kHzですから

$$1/48k = 20.833ns$$

になります。この規格1つで異なったサンプリング周波数に対応できます。

時間の精度は民生用では±300 ppm、プロ用は±50 ppmです。つまり時間のずれをそれぞれ±0.03%、±0.005%以内に納めています。信号の立ち上がり、立ち下がり時間は67 ns以下。また各クロックのジッターは±

20 ns以下に抑えることになっています。(第11図)。同軸ケーブル(2線式、3線式とも)を使用した際の送り出し電圧は0.5V<sub>p-p</sub>、受信側での最小電圧は0.2V<sub>p-p</sub>となっています。

以上に述べましたとおり、CDプレーヤから送り出されてくるデジタル信号は、CD上にプレスされている信号そのままではなく、順番通りに並び換えられ、ディスク読み取り時のビット落ちなどが補正された信号となっています。CDの解説書には必ず書いてある、訳のわからない01の並び換えを気にする必要はありません。

## YM 3623 B

ところが、前項で述べましたパイフェーズマーク信号を理解できなくても、正しく処理してくれるLSIがあります。

YM 3623 Bは内部にPLL回路を持ち、外部機器より送られて来るデジタル・オーディオ・フォーマット信号に同期し、その信号をMSBファーストのデータ、タイミング・クロック、L/Rチャンネル、サンプリング周波数、コピー可、エンファシスの有無等に分解して出力します。また、外部機器のサンプリング周波数に自動的に追従するため、44.1 kHzのCDプレーヤのみならず、48 kHzのDAT、衛星放送等にも使用可能です。

第12図にYM 3623 Bのピン配置を、各端子の機能説明を第1表に示します。①は電源+5Vです。③は内部発振器用の外付キャパシタ端子、4, 14はGNDです。LSIの中には電源端子、GND端子が複数設けられているものがありますが、全ての端子を接続します。たとえこれらの端子がIC内部で接続されていたとしても電源ライン、GNDラインの引き延ばしによるインピーダンスの上昇を防ぐために設けられていますから、必ず接続して下さい。

5, 6は発振器の水晶用端子。アナログ回路と同じケースの中に水晶発振子が同居するなど、考えただけでも身の毛がよだつ思いがしますが、貴方のCDプレーヤの中にも同居しているはず。これらのクロックがデジタル用LSIを動かす源ですから、省略することは不可能です。16.9344 MHz～20 MHzの水晶を使用します。私は

(PU)の付いた端子は内部でプルアップされています。

ピンNo	端子名	I/O	機 能
1	VDD1		システム系電源(+5V)
2	ADJ	I	VCO発振周波数調整用端子、無接続とします。
3	VCO	I/O	VCO回路用の外付コンデンサ端子
4	VSS2		VCO回路のGNDです。VSS1と共通に接続して下さい。 (LSI内部ではVSS1とは接続されていません。)
5	XO	O	水晶振動子用端子(16.9344MHz~20MHz)
6	XI	I	水晶振動子用端子又は外部よりのクロック入力端子
7	KMODE	I(PU)	H: DIN端子に入力があればPLL回路を動作、入力がない場合は水晶振動子を使用して動作する。 L: DIN端子に関係なくXIクロックで動作(ウェイト状態)
8	φA	O	水晶振動子使用時は水晶発振周波数を出力しており、PLL回路動作時はDIN端子入力データ速度により変動します。(PLLロック時は入力Fs×384の周波数)
9	φB	O	φAの1/3分周出力 PLL回路動作時はDIN端子入力データ速度により変動し、PLLロック時は入力Fs×128の周波数を出力します。
10	T1	I(PU)	内部回路チェック用端子無接続で使用。
11	T2	I(PU)	内部回路チェック用端子無接続で使用。
12	BCO	O	DO端子より出力される信号のビットクロック
13	SYNC	O	DO出力の同期信号
14	VSS1	O	システム系GND(+0V)
15	L/R	O	DO出力のL/Rラッチ信号 'H'=Lチャンネル 'L'=RチャンネルデータがDOより出力されることを示す。
16	DEF	O	ユーザービットから再生されたディエンファシス出力 'H'=入力データはエンファシス有 'L'=エンファシスなし
17	DO	O	16ビットオーディオデータ出力
18	WC	O	DO出力ワードクロック
19	DIGR	O	Rチャンネルディグリッチ用信号
20	DIGL	O	Lチャンネルディグリッチ用信号
21	ERR	O	'H'=パリティエラー、又は水晶で動作中 'L'=エラーなし
22	SEL	I(PU)	別項参照
23	S1	O	別項参照
24	S2	O	別項参照
25	SCK	O	サブコード出力用ビットクロック
26	SSYNC	O	サブコード用シンク信号
27	SDO	O	サブコードデータ出力用端子
28	DIN	I(PU)	データ入力用端子(EIA)フォーマット信号を入力します)

〈第1表〉YM 3623 B 端子機能(\*)

私たちは何を考えていたのでしょうか。プリアンプのRIAAがいかに音質に影響を及ぼしているか、全く気がついていなかったのでしょうか。

幸いなことに、私の手元にあるCDのうちで、エンファシスを使用しているのはごく小数であり、国内ではDENONのみです。はやくエンファシスを全廃してもらいたいものです。

横道にそれました。②端子には外部信号を正しく入力できないとき、また、パリティ・エラーが発生したときに“H”が表れます。もし製作後うまく動作しないときは、CDプレーヤを接続し、オシロスコープ(テスター不可)で②端子が“L”になっていることを確認します。なっていないければ、これより以前の問題、なっていればYM 3623 Bまでは正しく動作していることとなります。

②、③、④の出力信号の意味は第2表に示されるとおりです。そして⑧が外部デジタル信号の入力端子です。説明を省いた端子は今回使用いたしません。

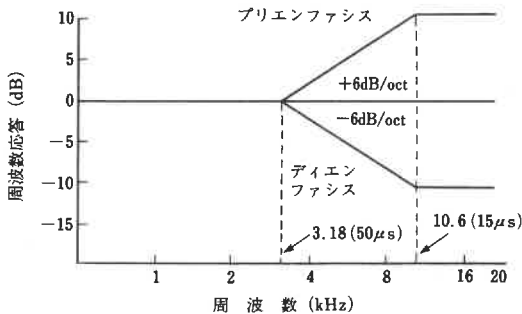
第14図(a)に出力信号のタイミングを、(b)、(c)に観測された波形を示します。BCO(ビット・クロック・アウト)はDO(データ・アウト)にいつ信号が出力されたかを示します。このタイミング図ではわかりませんが、ヤマハの他の資料等から判断するとBCOの立ち上がりデータ有効を示しているはずですが、WCは、BCOのうちの有効な部分と無効な部分を区別します。WCが“H”の間が有効なデータです。L/Rは左ch信号が右ch信号かを区別します。このように、L/Rと書かれていれば、“H”がLch, “L”がRchを示します。DIGR, DIGL, SYNC端子は今回使用しません。

18 MHzを用いました。

7は水晶振動子の切り換え端子です。H(+5V)に接続します。(Lにする時はGNDに接続する)。

8,9はクロック出力。8はサンプリング周波数の384倍のクロックを、9は128倍のクロックを出力します。

12,15,17はデジタル・フィルタに



〈第13図〉CDのエンファシス、幸なことに大多数のCDには使われていない(デジタルオーディオより)

接続する信号です。

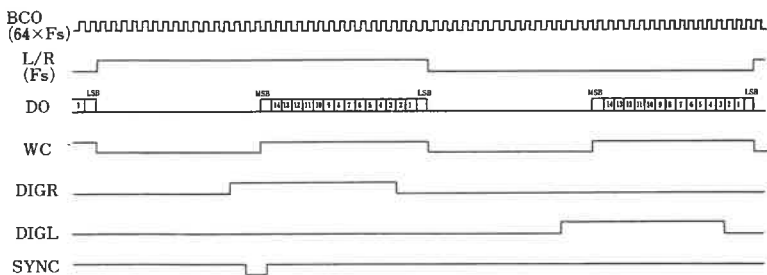
16の端子にCDがエンファシスされている(H)、いない(L)情報を出します。第13図に示しますように、CDにもRIAAのように高域強調を施してS/Nを稼ごうというようなセコい細工をほどこされているものがあります。まったく、規格を決めた人

S1 S2端子は、出力機能が多重化されている。

SEL端子入力を切り換える事により、S1 S2端子出力が切り換わる。

入力	出力		出力	
	S1	機能	S2	機能
L	L	コピー禁止	L	CD (DAT以外)
	H	コピー可	H	DAT
H	L		L	DIN入力信号のサンプリング周波数44.1kHz
	L		H	48kHz
	H		H	32kHz
	H		L	———

〈第2表〉S1, S2, SEL 関係



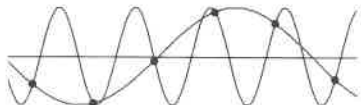
注1)  $F_s$ はサンプリング周波数を表している。たとえばコンパクト・ディスクは44.1kHz。

〈第14図a〉YM 3623 Bの出力タイミング(\*)

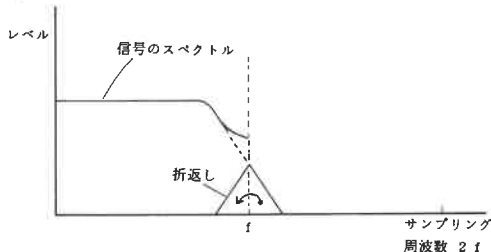
## オーバーサンプリングについて

サンプリング定理はご存知のことと思います。これは「周波数  $f$  以下の信号をサンプリングして復調するためには、 $2f$  以上のサンプリング周波数を用いなければならない」という、デジタル・オーディオの根幹ともいべき定理であります。逆にいえば、「サンプリング周波数が  $2f$  であれば、 $f$  以下の周波数は正しく再生できる（もともとの信号には  $f$  以下の周波数成分しか含まれていない事）」も意味しています。

実際に信号を  $1/2f$  間隔でサンプリングする場合には、 $f$  以上の信号を完全に取り除かなければなりません。取り除いていなければ、第15図に示すように、 $f$  より高い周波数の信号  $k$  が折り返されて  $(2f - k)$  となって記録されるからです（第16図）。したがって、デジタル録音時には、不要帯域の除去を完全に行う必要があります。1度混入した折返しを除去する方法はありま



〈第15図〉折返し（高い周波数信号も同じサンプリング点を通過する可能性がある）



〈第16図〉 $f$  以上の成分が残っていると折返しとして記録されてしまう

せん。

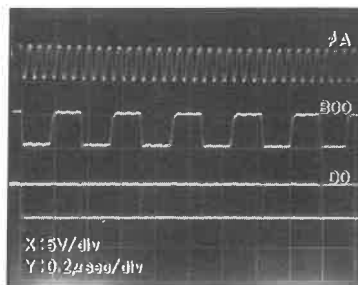
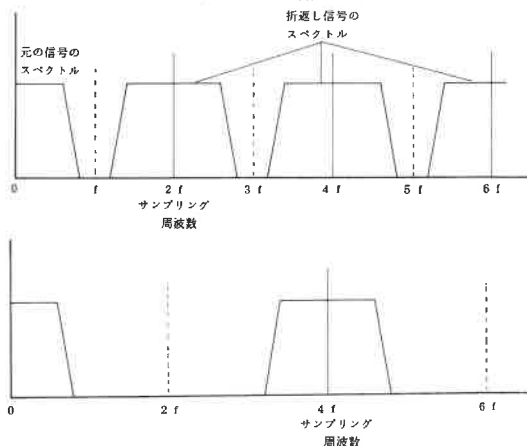
アナログ信号をサンプルすれば、サンプリングによって、第17図(a)に示すとおり、データは無限の折り返しスペクトルを持ちます。これはデジタル信号の宿命で、サンプリング周波数の半分の帯域しか表わせないことによるものです。したがって図(b)のようにサンプリング周波数を変更すれば、折り返しのスペクトル帯域も変わってきます。

デジタル化されたデータ中に含まれていた折り返し成分は、D/A変換によって再び現われてきます。そこでこの成分を除去するために、高次のアナログ・フィルタが必要とされました（第18図(a)）。

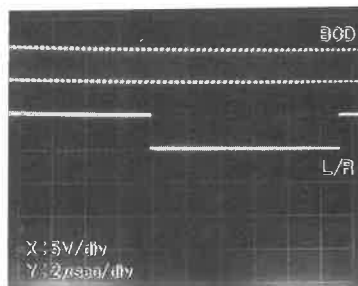
ところが急峻なアナログ・フィルタを構成することは、技術的にたいへん難しく、さらに音質にも有害であることはみなさんご承知の通りです。（デジタル録音がいまいち冴えないのは、録音時のフィルタリングに問題があるように思います）。

もう一度第17図(b)を見て下さい。もともとの信号の周波数スペクト

〈第17図〉  
(a)上、デジタル化された信号は無限の折り返しスペクトルを含む。  
(b)下、サンプリング周波数が変われば折返しスペクトルも変わる



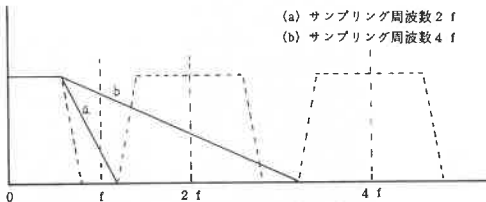
〈第14図b〉YM 3623 Bの出力信号。データライン(下)は  $H \leftrightarrow L$  をくり返すため四角形にみえる



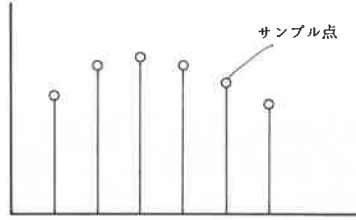
〈第14図c〉

ルが同じであれば、サンプリング周波数を高くすれば、折り返し成分も高い方へ移動しますから、除去のためのアナログ・フィルタの特性も緩やかなものとなります（第18図(b)）。

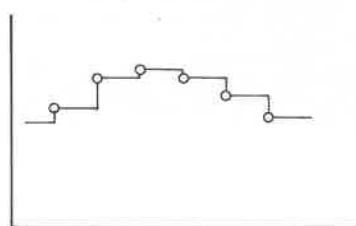
そこでデジタル・フィルタを用いて、サンプルとサンプルの間に仮想的なサンプルを計算で求め、等価的にサンプリング周波数を高める方法が用いられました。これがオーバーサンプリングです（第19図）。オーバーサンプリングによって、信号のスペクトルと折返しのスペクトルの距離が大きくなりますから、アナログ・フィルタの次数を下げる事が可能となります。



〈第18図〉アナログフィルタに必要な遮断特性(a)急峻な特性が必要(b)サンプリングfが高いので特性もゆるやか

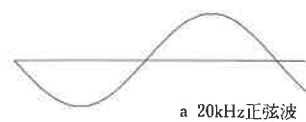


(a) サンプル点だけでは再生できないので



〈第20図〉(b) サンプル間を一定レベルに保つ

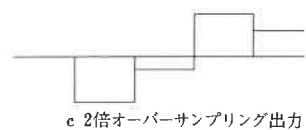
つけ加えておきますが、デジタル・フィルタ=オーバーサンプリングではありません。デジタル・フィルタはサラウンド・プロセッサのように残響を付加したり、RIAAカーブのような周波数特性を実現したりすることも、アナログと同様にハイカット、ローカッ



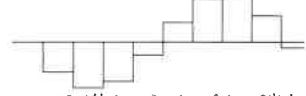
a 20kHz正弦波



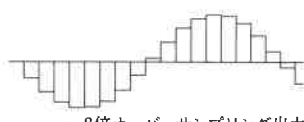
b サンプリング周波数44kHz



c 2倍オーバーサンプリング出力



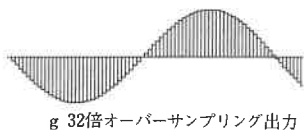
d 4倍オーバーサンプリング出力



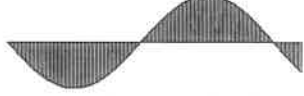
e 8倍オーバーサンプリング出力



f 16倍オーバーサンプリング出力



g 32倍オーバーサンプリング出力



h 64倍オーバーサンプリング出力

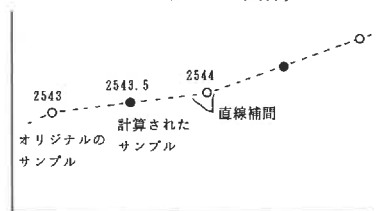
〈第21図〉オーバーサンプリングによる20kHz正弦波の再生波形(ただし-54dB、フィルタ計算は理想的に行われた場合)

あれば(元の信号に含まれる22kHz以上の信号を完全に除去してあれば)、正しく再生できるに違いありません。しかし第21図をご覧ください。(a)は20kHzの正弦波、(b)は(a)の波形を44.0kHz(計算の都合上44.1kHzではありません)でサンプル再生した波形です。一体サイン波はどこへ消えたのでしょうか。

CDの第1世代ともいべき時代には(わずかに5年前!)N社、P社以外にはオーバーサンプリング・フィルタを用いてはいませんでしたから、(b)の様な波形がD/Aから出力されていたと思われます。これをたとえ9次とか13次とかのアナログ・フィルタを使用したとしても(もちろん折り返しは除去できますが)もとのサイン波は現れてきません。

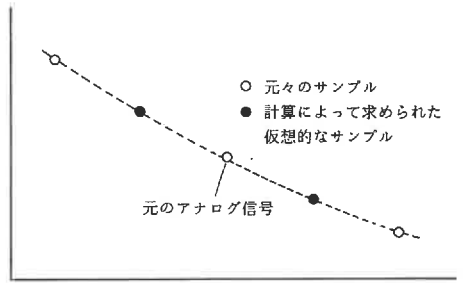
実はアパーチャ効果もオーバーサンプリングによって低減することができます。完全に理想的なフィルタを用いて処理したとすれば、第21図(c)-(h)のようになるでしょう。これは-54dBでの例です。オーバーサンプルの次数を上げるにしたがって再生波形も良好になります。この図を見るとオーバーサンプルの次数は最低でも8次、欲をいえば32次位は必要であるように思われます。

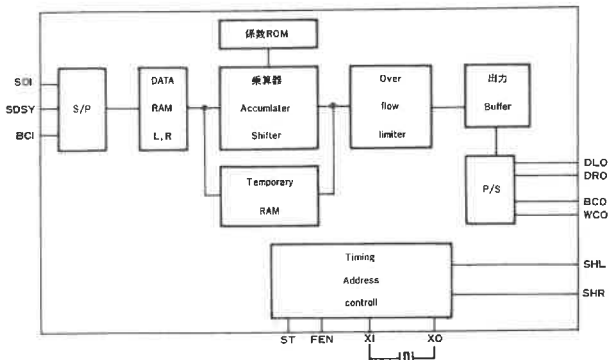
しかし完全に理想的なフィルタなどは存在し得ません。いくら計算でフィルタの次数を上げようと、失われたデータを取り戻すことはできません。またアナログ・フィルタと同様、デジタ



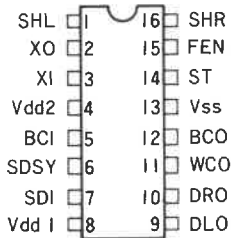
〈第22図〉17ビット以上は計算の端数

〈第19図〉オーバーサンプリングフィルタの展望、仮想的なサンプルによって、サンプリング周波数を高めた効果がある





〈第 24 図〉 YM 3404 B の内部ブロック (\* )



〈第 23 図〉  
YM 3404  
B のピン配  
置 (\* )

ル・フィルタも次数を上げたために音質劣化を招くかも知れません。オーバーサンプリングに頼らなければ音質改善できないならば、サンプリング周波数 44.1 kHz が低過ぎるといわざるを得ないでしょう。個人的にはできるだけ速く ED-CD とか S-CD とか呼ばれる、サンプリング周波数 320 kHz (以上) のスーパー CD が登場することを願っているのですが……。

### なぜビット数が増えるのか

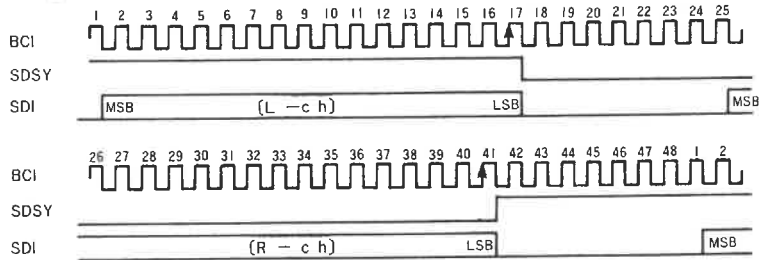
もう一つおもしろいことに、デジタル・フィルタによって 16 ビットしかなかったはずの元のデータが、18 ビットとか 20 ビットに増える事があります。

いま、2つのサンプル点の間に新たに1つサンプル点を作り出すとしましょう。元のサンプルがそれぞれ 2543, 2544 であるとすればこれを直線補間すれば 2543.5 になります (第 22 図)。しかし再生側に 16 ビットの分解能しかないとすれば、せつかく 0.5 と小数点以下まで計算された値も 2543 か 2544 のどちらかに丸められます。これはもったいない。再生側に 17 ビットにすれば 0.5 もうまく再生できるではないか。

かなりいい加減な例ですね。実際には直線補間などではなく、数 10 回か

ら無限回の演算によってフィルタリングされるわけですから、0.1 とか 0.01 が得られるかも知れません。フィルタの内部演算は 24 ビットとかフローテ

〈第 26 図〉  
YM 3404  
B 入力タイ  
ミング、  
SDSY, SDI  
の BCI 対  
する関係

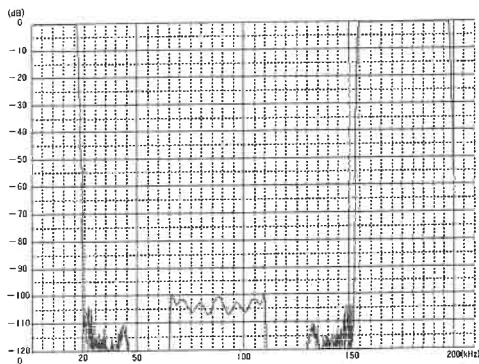


注) LSI 内部の計算スタートは、SDSY の立上がりでトリガーがかかります。よって L と R の間隔は、何クロックでもかまいません。SDSY、SDI とともに立ち上がり同期です。

〈第 27 図〉 入力信号フォーマット (ただし FEN = "H" : 96 fs)

端子名称	ピンNo.	I/O	機 能 概 要
SHL	1	O	1 DAC (ST='L') 時: Lch のデグリッチャー信号 2 DAC (ST='H') 時: L/Rech のデグリッチャー信号
XO	2	O	XI-XO 間で水晶発振をします。(XI に外部より直接入力することも出来ます。)
XI	3	I	384fs (FEN='H') 時: 16.9344MHz 392fs (FEN='L') 時: 17.2872MHz。
Vdd2	4		水晶発振及びデグリッチャー信号系の +5 V 電源端子
BCI	5	I	入力データのビットクロック入力端子
SDSY	6	I	入力データの L/Rech 区分と入力タイミングを示すクロック
SDI	7	I	データ入力端子
Vdd1	8		デジタル信号系の +5 V 電源端子
DLO	9	O	1 DAC (ST='L') 時: L, Rech データ出力端子 2 DAC (ST='H') 時: Lch データ出力端子
DRO	10	O	Rech データ出力端子
WCO	11	O	出力データ DLO, DRO のワードクロック
BCO	12	O	出力データのビットクロック。SPC II、SPC III のシステムクロック出力端子
Vss	13		GND 端子
ST	14	I	1 DAC/2 DAC 切換え端子 (1 DAC='L', 2 DAC='H')
FEN	15	I	システムクロック切換え端子 (392fs='L', 384fs='H')
SHR	16	O	1 DAC 時の Rech デグリッチャー信号

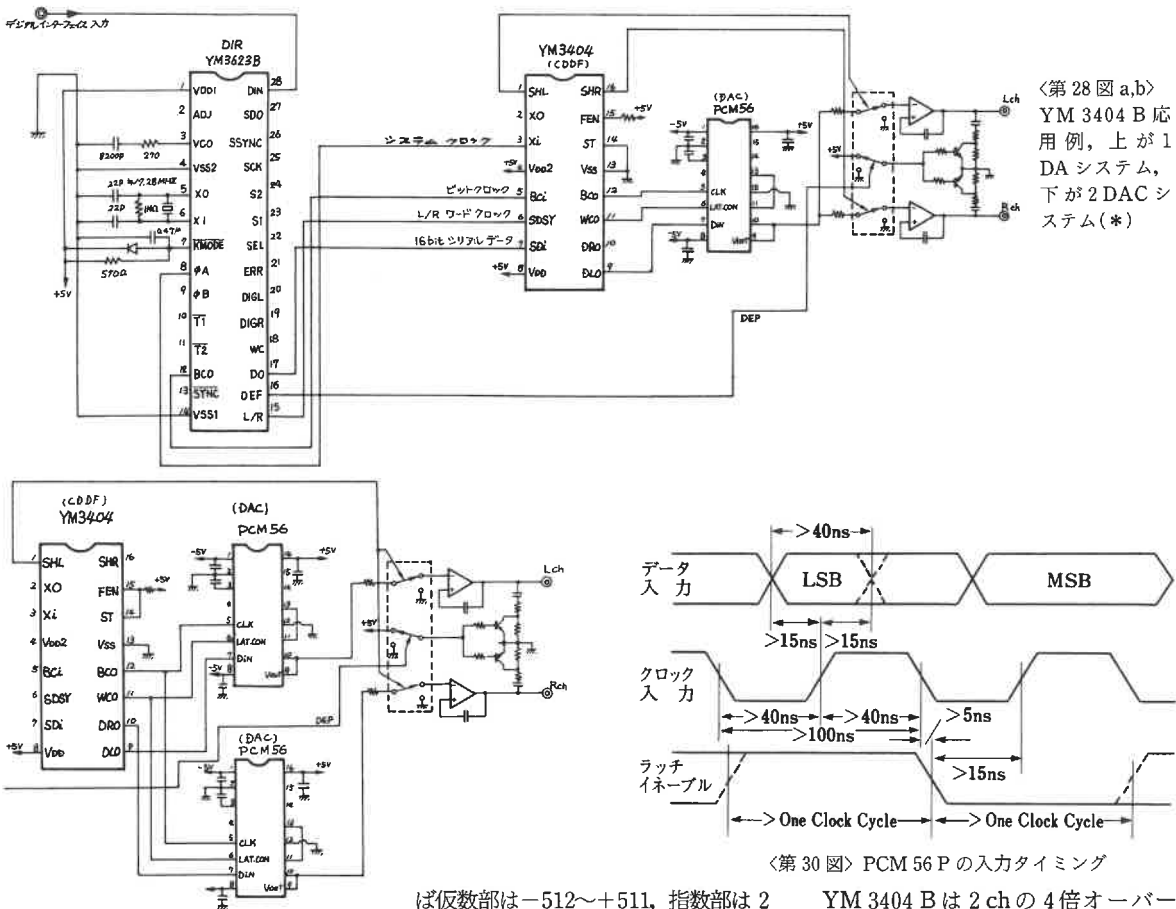
〈第 3 表〉 YM 3404 B の端子機能 (\* )



〈第 25 図〉 YM 3404 B 遮断特性 (\* )

ィング形式とか、16 ビット整数形式よりも精度を得られる方法で演算していますから、さらに細かい計算値が出てくるかも知れません。





〈第28図 a,b〉  
YM 3404 B 応  
用例, 上が 1  
DA システム,  
下が 2 DAC シ  
ステム(\*)

例をあげますと、今回使用する YM 3404 B の内部では 18 ビット浮動小数点で演算されています。浮動小数点方式は電卓(もちろん内部の話)などでも用いられ、整数形式よりも取り扱える数字の範囲ははるかに広い利点があります。

16 ビットの整数形は -32768 ~ +32767 の範囲の整数しか扱えません。これに対して浮動小数点型では  $2.3 \times 10^5$

のように仮数部と指数部に分割して表現します。われわれが普段使っている  $4.7 \text{ k}\Omega$  というのも  $4.7 \times 10^3$  ですから一種の浮動小数点です。

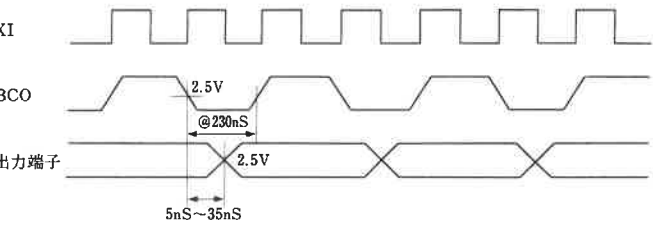
かりに 16 ビットを 10 ビットの仮数部と 6 ビットの指数部に分割すれ

ば仮数部は -512 ~ +511, 指数部は 2 の -32 ~ +31 乗になりますから、 $511 \times 2^{31}$  (約  $1 \times 10^{12}$ ) までの数値を扱うことが可能になります。詳しくは計算機の専門書を見てください。

さて、せっかく高い精度で計算したのですからこれを無駄にする必要はありません。そのまま再生した方が誤差が少なくできます。この計算値を出力する時点での誤差、これも丸め雑音となるのですが、を少なくするために 16 ビット以上の D/A が使用されます。

### YM 3404 B

今回使用するヤマハのデジタル・フィルタ YM 3404 B のピン配置を第 23 図に、端子機能を第 3 表に、内部ブロックを第 24 図に示します。

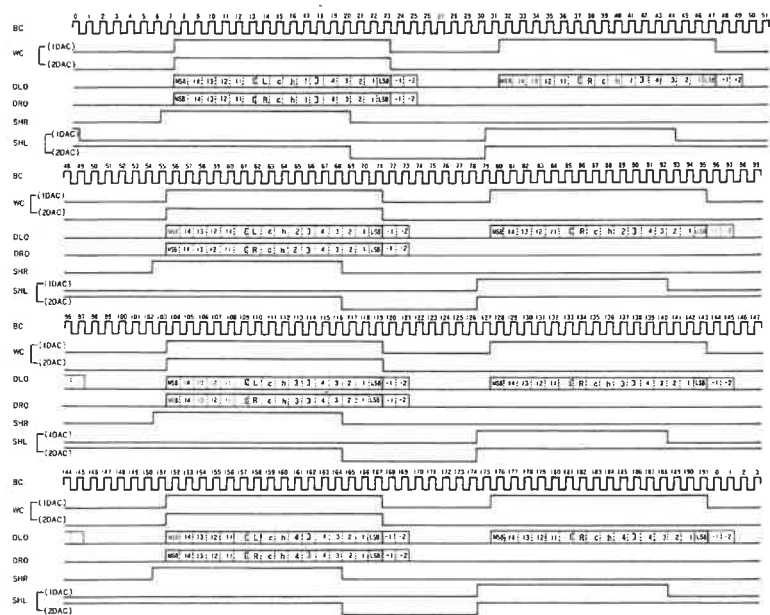


〈第29図〉  
YM 3404 B 出  
力タイミング,  
@236 ns は筆  
者が追加したも  
の(\*)

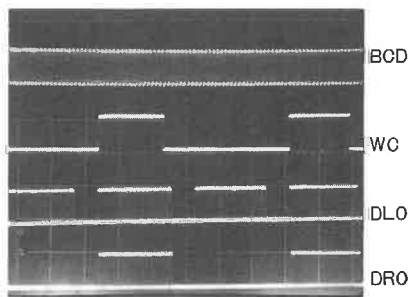
YM 3404 B は 2 ch の 4 倍オーバーサンプリング・デジタル・フィルタで、フィルタ内部は FIR 225 次 + 41 次となっています。YM 3404 B の遮断特性を第 25 図に示します。デジタル・フィルタは図のように急峻なカットオフが可能であり、折返しスペクトルが -100 dB 以下に低減されますからこの帯域にアナログ・フィルタをかける必要はなくなります。

通過帯域特性が、ごくごくわずかにうねっていますが、これは FIR フィルタの特徴です。デジタル・フィルタの話は長くなりますから別の機会にして、各端子の説明に入ります。

- ①は使わないので飛ばします。②、③は水晶用の端子です。この間に水晶振動子を用いて発振させることも可能ですが、YM 3623 B のクロックを入力して代用します。④は水晶振動子、デグリッチャ回路用の +5 V 電源です。データシートでは、アナログ系の電源を要求されていますが今回はデグリッチャを使用しませんのでデジタル系 +5 V をそのまま供給します。⑤-⑦が



〈第 31 図 a〉 YM 3404 B 出力フォーマット(\*)



X: 1V/div, Y: 1μsec/div

〈第 31 図 b〉 YM 3404 B の出力

## デジタル・フィルタと D/A コンバータのインターフェース

ヤマハ社のデータシートの応用回路例として、YM 3404 B と PCM 56 P の接続例が出ています (第 28 図) から何も考えなくても大丈夫ですが、今後のトレーニングのため、両者の入出力タイミングを検討してみましょう。第 29 図に YM 3404 B の出力タイミング、第 30 図が PCM 56 P の入力タイミング図です。

第 29 図で YM 3404 B の BCO は PCM 56 P へのビット・クロックアウト、XI はクロックイン端子です。PCM 56 P はクロックの立ち上がりでデータを読み込みますが、第 29 図 <p.79 へりつづく>

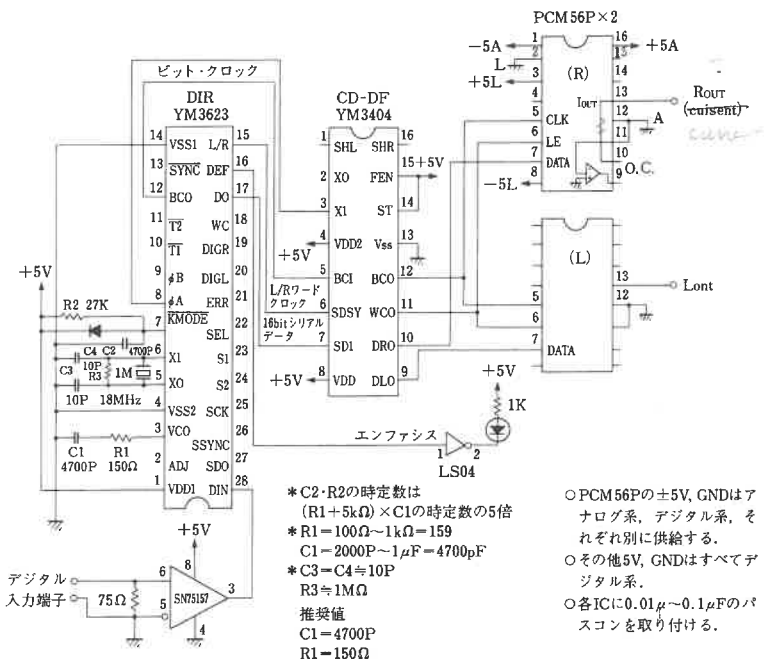
DIR から送られてくる信号です。そして⑧がデジタル系+5V。

⑨は 2 個の D/A を使用しますから Lch データ出力、⑩が同 Rch、アマチュアらしく、D/A コンバータ 1 個でなどととは考えないことにしましょう。⑪が出力データ用のワードクロック、データの句切りを表わし、D/A の変換スタート信号の役割りを果たします。⑫は出力データのビット・クロック。⑬は GND、⑭は D/A を 1 つ使用する (L)、2 つ使用する (H) の切り換えです。“H”にします。⑮のシステム・クロック切り換えは、YM 3623 B に合わせて 384 倍で“H”。16 も使用しません。

第 26 図の入力タイミング図を見てください。BCI は YM 3623 B からのビット・クロックイン、SDSY はデータの L/R の区別を表わします。SDI はシリアル・データイン、音楽信号のなれの果てを読む端子です。図では SDSY と SDI がまとめて表示されていますが、もちろんこの 2 つは別の物です。ただしこの図は両者の H → L、L → H の切り換えのタイミングが等しいことを意味しています。

入力信号フォーマット (第 27 図) を見てください。BCI の②から⑯までのパルスの立ち上がりによって SDI から左チャンネルのデータを読み込みます。

そして SDSY が“L”に切り換わり、以後のデータは右 ch であることを認識します。⑯から⑳で右チャンネルのデータの読み込みを行い、SDSY の立ち上がりでフィルタ演算を開始させます。以後 BCI が㉑までくると再び①からくり返します。



〈第 32 図〉 デジタル系全回路図

- \* C2・R2の定数数は (R1+5kΩ) × C1の定数数の5倍
- \* R1=100Ω~1kΩ=159
- C1=2000P~1μF=4700pF
- \* C3=C4=10P
- R3=1MΩ
- 推奨値
- C1=4700P
- R1=150Ω

- PCM56Pの±5V, GNDはアナログ系, デジタル系, それぞれ別に供給する。
- その他5V, GNDはすべてデジタル系。
- 各ICに0.01μ~0.1μFのパコンを取り付ける。

<p. 89 よりつづく>

では立ち上がりと出力端子（データ）の時間関係が示されていません。しかし BCO の立ち下がりから 5 ns～35 ns で切り替わる事はわかりますし、BCO は XI (384×44.1 kHz) の 1/2, BCO のデューティ比は 50% ですから、BCO が“L”の期間は

$$1/(384 \times 44.1 \text{ k} \times 0.5 \times 0.5) = 236 \text{ ns}$$

がわかります（図中 a）。ですから

$$236 - 35 = 201 \text{ nsec}$$

の時間差がデータの切り換わりと BCO の立ち上がりの間にあることがわかります。

一方、PCM 56 P の入力タイミング図ではクロックの立ち上がり以前に、15 ns 以上データが安定していることを要求していますから、この点は問題ないと判断できます。

次に LE のタイミングを検討します。

LE には PCM 56 P の入力タイミングより、LSB のビットクロックの立ち下がりの 5 ns 以上後に立ち下がらなければなりません。YM 3404 B の BCO が立ち下がってから出力端子 (WCO) が立ち下がるまでは 5 ns～35 ns ありますから OK です。また WCO は YM 3404 B の出力信号フォーマ

ット（第 31 図）より 16 クロック・サイクルの間“H”になっていますから、PCM-56 P の 1 クロック・サイクル以上“H”の条件もクリアしています。

以上、デジタル系の全回路を第 32 図に示します。

#### 文献

1. 詰めに入ったデジタル・オーディオ・インタフェースの標準化, 日経エレクトロニクス 422, 109-118, (1987.6.1)
2. YAMAHA YM 3623 B, YM 3404 B データシート
3. Texas Instruments, The Bipolar Digital Integrated Circuits Data Book (1982)