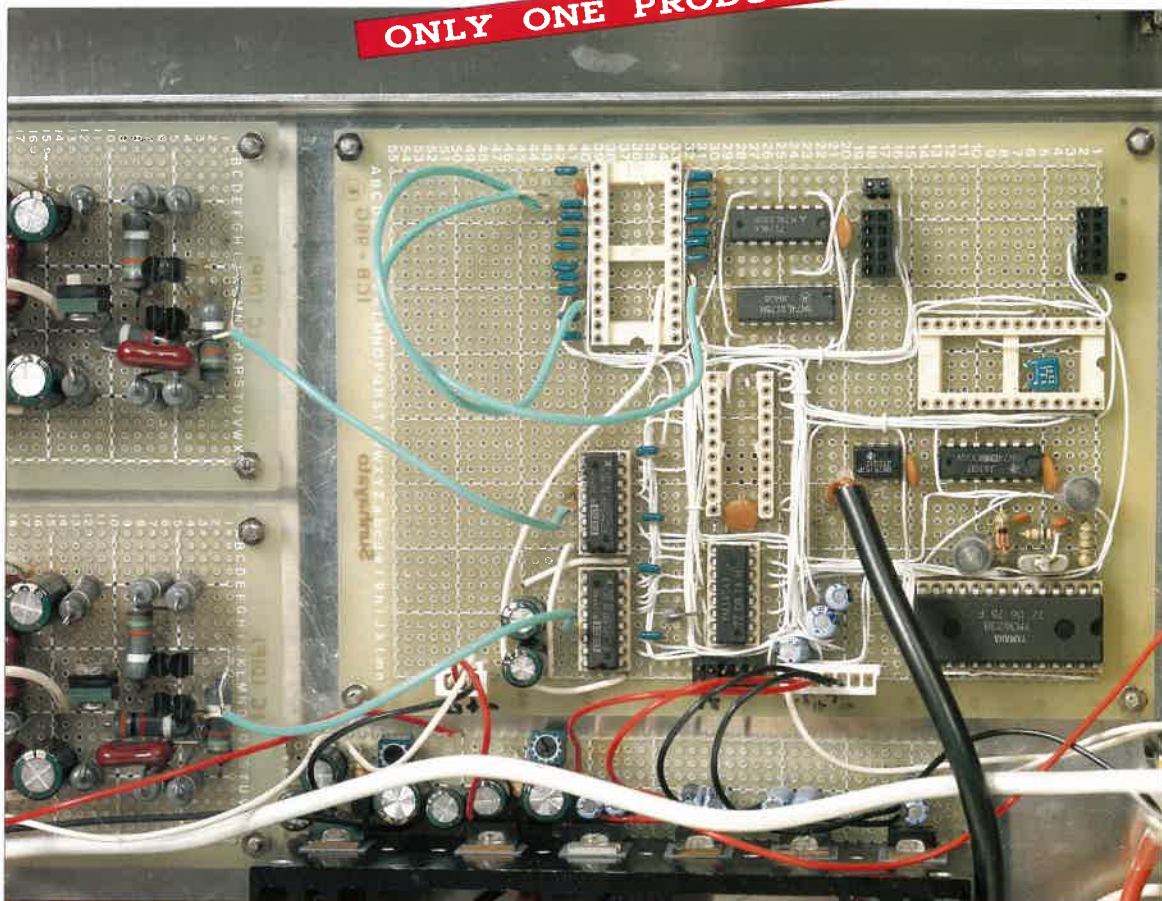


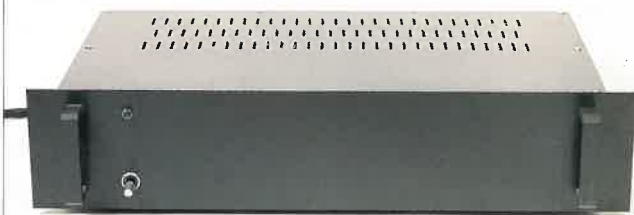
ONLY ONE PRODUCTS



アナログ派こだわりのD/Aコンバータの製作

製作★別府俊幸

●本文製作記事参照

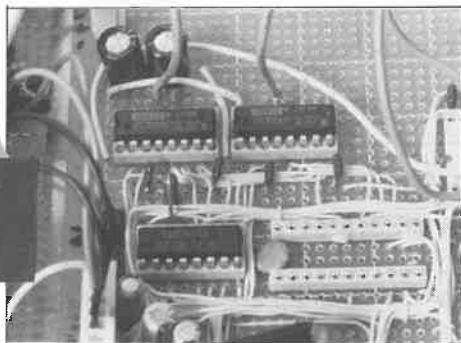
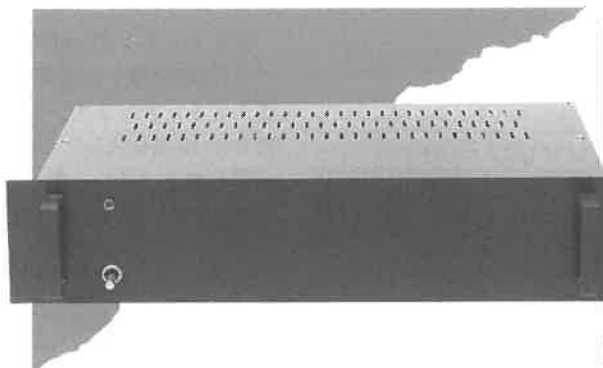


●外観、リアパネルともいたってシンプル。



●シャーシ内部の基板を見る。プリント板によるものではなく、手軽に、そしてやり直しのきくという点で、穴明けボードを使った。右はデジタル部。左はアナログ部。DACは日本パーブラウンのPCM56Pを使用。

●電源部はアナログ、デジタル用に分けられており、パーツ類(C, R)は厳選している。ケミコンは10,000 μ F, 12,000 μ Fクラスのものを使用。



アナログ派がこだわる デジタル・プロセッサの製作 Part 1

別府俊幸

—あるレコードマニアの物語—

最近、私は暇を見つけてはレコードを買いあさっている。理由は2つ。1つはCD化の波をかぶって失われた名演を聴くためであり、2つはせっかくのアナログ録音をデジタル化しないで聴きたいからである。

なぜならデジタル録音は音楽が鳴らないからである。音は平板的になり、高域はささくれだち、残響音は失われ、小信号時の音色が同じになってしまう、優雅な演奏が無惨にも01の信号に細かく刻まれ、なめらかな旋律が階段のようなぎくしゃくした音になってしまうからである。

しかし、残念なことに日本では瞬く

間に(ヨーロッパでさえも日本の惨状を追っているだろう)、レコードが、エジソン以来100余年の歴史を誇るレコードが、いにしへの巨匠の世界に触れさせてくれるレコードが、僅か直径12cmの安っぽいアルミ色の板に押し退けられてしまった。アツというまに、おそらくあと5年もすれば、「エッ！レコード？あの黒い大きな奴ですか。お客さん冗談でしょう。今時そんなものどこにも売っていませんよ」などとレコード店の店員に言われる日が来るであろう。

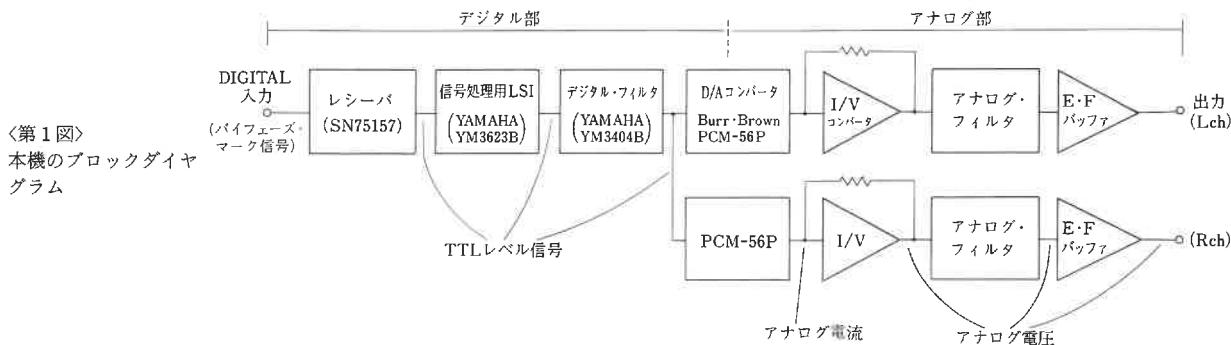
きっとその時私は、神田界隈をさまよい、古ぼけたビルの地下に、あるいはエレベータの無いビルの階段を昇り、中古盤屋を訪ね、黄ばんだジャケットに入ったかび臭いレコードを大切に抱えて家に帰るに違いない。

家へ帰ったら、ジャケットの端がめくれている黄色いドイツのレーベルか、おすわりしている犬の下に(HMV or VSM)以外の文字が書かれていないヨーロッパ盤でもゆっくり聴こう。

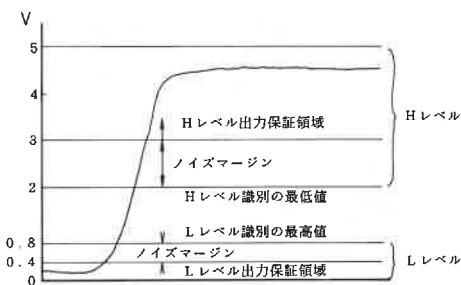
デジタルがなんでえ。ワルターはデジタル録音なんか残さなかった。勝手にデジタルにしたのはレコード会社だ。デジタルで録音し直すカラヤンなんかでえっきれえだ！CDなんかくそくらえ。おれは一生レコードしか聴かねえぞ！アナログ万歳！……と。

はじめに

おそらく読者の多くは、レコードよりもCDを聴く時間の方が長いのではないかと思います。たしかにCDには、高域がうるさいとかジャケットが小さ



〈第1図〉
本機のブロックダイアグラム

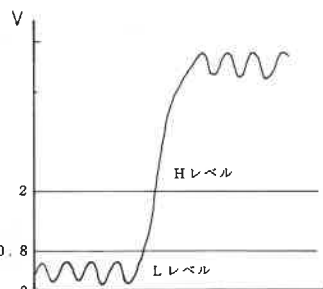


〈第2図〉 TTLレベル信号

いとか不満はあるでしょうが、パチパチノイズはなく、スクラッチノイズもなく、針にゴミが溜ることもないのと音楽を聴く上で多くの魅力を持っていることを否定することはできません。しかしCDを再生するための装置は我々自作派の手の届かないところにあり、普通のオーディオマニアのようにメーカーの広告を「これを買えば良い音がするに違いない」と指をくわえて見ているしかありませんでした。

今回からシリーズでデジタルプロセッサの製作を始めます。これはCDプレーヤ、DAT等のデジタルオーディオ機器からのデジタル信号を受信し、D/A変換して再生するアンプです。

また「1人でも多くの自作派諸兄を、デジタルオーディオの世界へ引っ張り込もう」とするために、アナログ技術しか知らない方にも製作できるよう努力しました。そして今後の創意工夫のため、各々の問題について私の偏見だ



〈第3図〉 ハムノイズがのつてもLはL, HはH

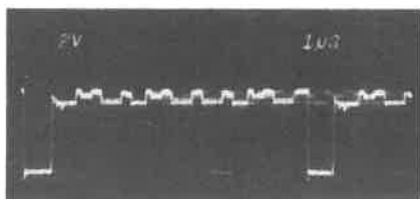
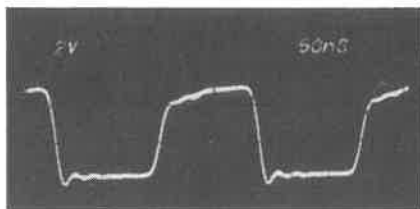
だけの解説を加えてきました。

もしも私の駄文によって、デジタル再生のクオリティ向上に1人でも多くのアマチュアの方が参加され、本誌紙上等で議論できましたら筆者としてこれほどの喜びはありません。なお、私の力量不足、おかしな日本語表現等によって、わからない点が多々残ると思えますが、質問等がありましたら編集部までご連絡下さい。またLSI等、筆者にて供給すべく準備しておりますので、併せてお問い合わせください。

本機の構成

第1図に本機のブロックダイアグラムを示します。本機はCDプレーヤからのデジタル出力を、データレシーバで受け、信号処理用LSI (YAMAHA YM3623 B)、4倍オーバーサンプリング・デジタルフィルタ (YAMAHA YM3404 B) で処理し、D/Aコンバータ (Burr-Brown PCM-56P) によってアナログ信号へと変換します。そしてD/Aから出力された信号電流はI/Vコンバータ (電流電圧変換器) によって電圧に変換され、アナログフィルタ、バッファ回路を経て出力されます。

さあ、作りましょう。と言いたいのですが…。



〈第4図〉 写真のような方形波のリングング・ノイズ成分等は全く問題ない (あるマイコンの内部で撮影)



(a) デジタル回路では何段通過しても信号の意味は変わらない

(b) ノイズを含んだ信号も整形できる

〈第5図〉

オーディオマニアのためのデジタル回路入門

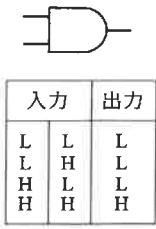
1. TTLレベル信号

おそらくデジタル回路経験のない方でも、回路図通りに配線すれば90%は動作すると思います。しかし不幸にも残りの10%に入ってしまうと、完全にお手上げでしょう。自作するには回路の動作、部品の意味を把握して、いえ、わからなくても最低限どこが動作していないかを見つけれられるだけの技術 (と測定器) を持っていなければなりません。

今回は全くの初心者のために、デジタル信号の基礎からお話しましょう。中上級者は飛ばしてください。

第2図に「TTLレベル」を示します。一般のデジタル回路での信号は、TTLレベルによって規定されています。これは電圧によって定義され、0.0V-0.8Vの信号を“L”、2.0V-5.0Vの信号を“H”と区別します。例えば3.3Vは“H”であり、0.6Vは“L”とみなします。ただし各々の素子は2.0Vとか0.8Vとかのぎりぎりの電圧を出力するのではなく、“L”レベル時は0.4V以下、“H”レベル時は3.0V以上 (素子によって若干異なります) と出力に余裕を持たせています。この余裕をノイズマージンと呼びます。

デジタル信号の利点はなんと言ってもノイズに強いことでしょう。仮に3.5Vの信号上に0.5V_{p-p}のハムノイズが乗ったとしても、やはり“H”は“H”であり、0.4Vに乗っていても“L”は“L”と基準値を越えない限り正しく識別されます (第3図)。デジタル回路は、mVオーダ以下のハムノイズと戦うアナログ回路とは本質的に異なっています。



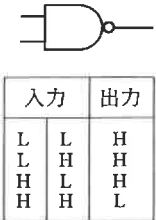
(a) AND



(b) OR



(c) NOT



(d) NAND



(e) NOR

実際にオシロスコープで信号を監視すると(第4図), オーディオマニアの感覚から信じられないような汚い波形が観測されます。第3図のような波形の乱れは、よくノイズ(電磁ノイズの飛び込みなど)によるものだと言われますが、実際にはそうではなく、終端反射、送り出し側のドライブ能力、ICのスイッチング動作による電源変動、その他デジタル回路自体が発生するものがほとんどです。ある程度予想がつくと思いますが、CDプレーヤなどのデジタルオーディオ機器は、たとえプレーヤ部と分離されたD/A部でも、アナログ回路がこのような悪質なノイズ源と同居しています。

しかし、TTLレベルの範囲を越えない限り、波形が第4図のように乱れていてもその中に含まれる情報は、きれいな波形と全く同じままです。これこそがデジタル回路の利点です。

また、アナログ回路では「情報の損失を減らすためには、増幅段を1段でも減らしたい」との考え方がありますが、デジタル回路では素子の多段接続によっても、情報の損失はありません(第5図a)(もちろん時間的な遅れはありますが)。

逆に、第5図(b)のようにノイズマージンの低下した信号でも、ゲートを1段通ることによってマージンを回復させたり、波形を整形したりすること

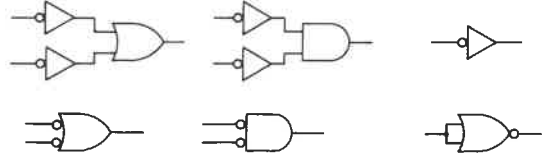
<第6図>

基本ロジック素子



<第8図>

なんとすべて同じ



(a) NAND

(b) NOR

(c) NOT

2. デジタル回路とそのIC

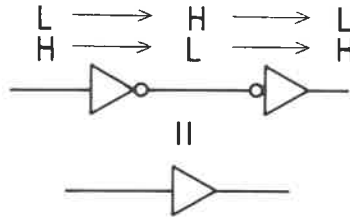
デジタル回路に使用されるICもトランジスタ、抵抗などの組合せによるDCアンプです。ただ、TRやRをディスプレイで組んではあまりにも巨大な装置になってしまいますから、TTL (Transistor-Transistor Logic) や C-MOS (Complementary-symmetry Metal Oxide Semiconductor) と呼ばれる集積回路を用いています。

デジタル回路に用いられる素子は何れも、“H”か“L”の入力の組合せによって“L”か“H”の出力を発生します。これらには5つの基本的な型があり(第6図), それぞれAND, OR, NOT, NAND, NORと呼ばれます。

ANDは、全ての入力端子が“H”の時のみ出力も“H”になる素子です(a)。これに対して、入力のどれか1つでも“H”があれば出力も“H”になる素子をORと呼びます(b)。言い換えれば、ORの出力が“L”になるのは入力すべてが“L”の時だけです。NOTは“H”入力時の出力は“L”、“L”入力時の出力は“H”と、入出力の信号が逆になるものです(c)。

そしてANDの次のNOTをつないだものをNAND(d)、ORとNOTを接続したものをNOR(e)と呼びます。基本的に全てのデジタル回路はこれら5つの素子の組合せで構成可能です。

図中の○印は、“NOT”動作を表わしています。面白いことに信号が○印の1つを通れば反転されるのですが、○印を2つ通過したら反転の反転で、元



<第7図>NOTを2段接続するとNOTでなくなる

さえ可能となります。

さて、“H”レベルと“L”レベルの間には0.8V-2.0Vの不確定領域があります。この間の信号は“H”とみなされるか“L”と見なされるかはわかりません。しかし“中間”はありません。“L”か“H”かのどちらかです。また、信号の立ち上がり時、立ち下がり時には必ず中間領域を通過しますが、ここでは、立ち上がり時間、立ち下がり時間が十分に速ければ(数10ns以下)問題ないと覚えておいてください。

ゲートは入力の不確定領域に入っていたとしても、“L”か“H”のどちらかを出力しようとはしますが、これはゲインの大きすぎるアンプを使用しているために、僅かの入力でも飽和してしまっていると考えれば分かりやすいでしょう。デジタル回路に使用する素子は、我々が通常使用するリニアな領域を使用するのではなく、クリッピングした領域を使用します(不飽和領域で動作させる素子もあります)。



{(8本の線) => (1本の線)}

(a) パラレル

<第14図> パラレル信号とシリアル信号

デジタルオーディオの16ビットは0～65535ではなく-32768～+32767となります。

では実際のオーディオ信号との対比を考えてみましょう(第13図)。

いま2の補数を考え、0Vの信号0とします。±3.277Vの範囲の信号を16ビットで表現すれば(8Ωのスピーカであれば1.1W_{rms}に相当します)、+1.000Vは10000、2進数表示では

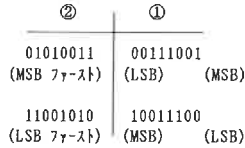
0010 0111 0001 0000 B

となり、-1.0Vは-10000

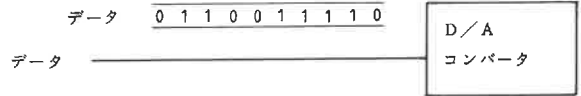
1101 1000 1111 0000 B

となります。2進数は最後にBを付けて10進数と区別します。この状態では最小の1ビット(分解能)が0.1mVに相当します。

2の補数では0Vを0と表現しますし、1111も0のすぐ隣となります。利点としては、デジタル回路に故障が起きたときには、ほとんどの場合すべてのデータが0となるか、あるいは1となるため、2の補数形式ではアナログ出力がほぼ0となり、大きなショックを与える心配がありません(残念ながらこの場合、オフセットバイナリは(+))

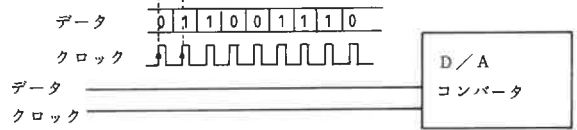


(b) シリアル



(a) どこでデータを読みだめばいいのかわからない

立ち上がりの瞬間にデータを読み込む



(b) クロックパルスの立ち上がりでデータを読み込む
(立ち上がりの瞬間は、データが正しく示されている)

<第16図> データ線とコントロール線

ばい、または(-)いっばいの信号になってしまう)。また2の補数形式は最も計算に便利であり、

$$0010\text{ B} - 0110\text{ B} = 1100\text{ B}$$

のように正負の計算を同様に行うことが可能で、デジタルオーディオに限らずマイクロコンピュータ等に広く用いられています。

4. パラレル信号とシリアル信号

デジタルの信号伝送にはパラレルとシリアルの2つの方式があります。パラレルはnビットの信号を伝えるためにn本の線を使用し、これに対してシリアルはnビットあろうとmビットあろうと1本(1対)の線で伝送します(厳密にはデータを転送する線が1本)。

第14図にパラレルとシリアルの例を示しましょう。パラレルではある時間に一斉に信号を送りますが(a)、シ

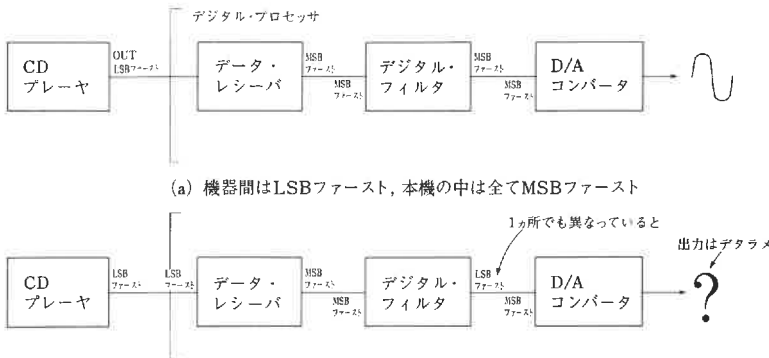
リアルでは(b)1本の信号線の上に時間的にnビットの信号を並べて送ります。CDプレーヤのデジタルアウト端子などは1対の電極しかありませんから「シリアル」です。

シリアル信号では線の数が少なくすむ代わりに、1本の線の時間当りの信号の数(情報量)がパラレルのn倍必要となります。44.1kHzのサンプリング周波数では、パラレルの各線では1/44.1k秒毎に信号が送られて来るのですが、シリアルでは1/(44.1k * n)秒毎に、さらに左右両チャンネルの信号があればその倍の速度で、伝送されなければなりません。

シリアル転送では信号を並べる順序によって2つの形式があります。上位の桁から順に送り出す方式をMSBファースト、下位から順に送り出す方式をLSBファーストと呼びます(第14図)。

機器間、素子間のインターフェース時にはMSBファーストとLSBファーストを合わせなければなりません。例えばデジタルフィルタの出力がLSBファーストであり、D/Aコンバータの入力がMSBファーストであれば接続できません。たとえ両者を接ないだとしても、でたらめな信号が再生されるだけです(第15図b)。

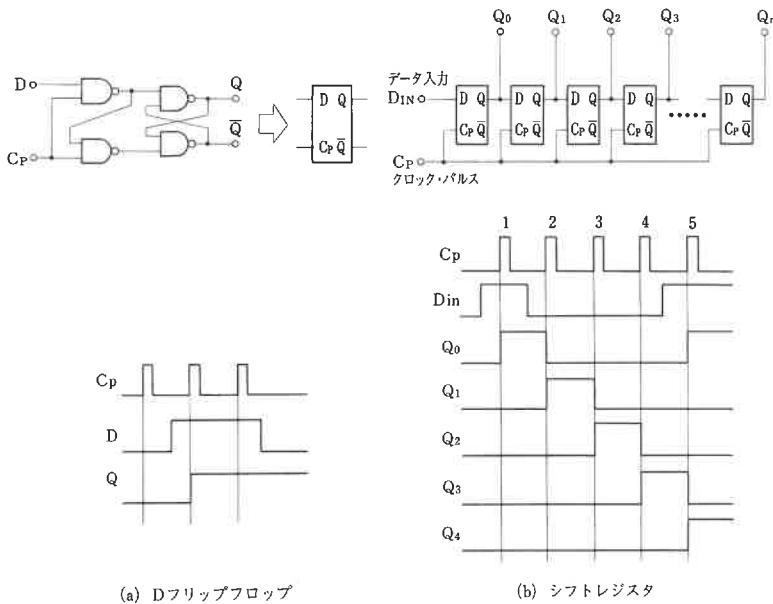
デジタルオーディオ機器間の信号はLSBファースト、本機の内部ではMSBファーストが使用されています(a)。



(a) 機器間はLSBファースト、本機の中は全てMSBファースト

(b) MSBファーストとLSBファーストは接続できない

<第15図> MSBファーストとLSBファースト



(a) Dフリップフロップ

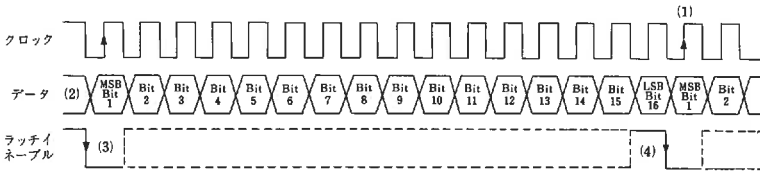
(b) シフトレジスタ

〈第17図〉

5. データとそのタイミング

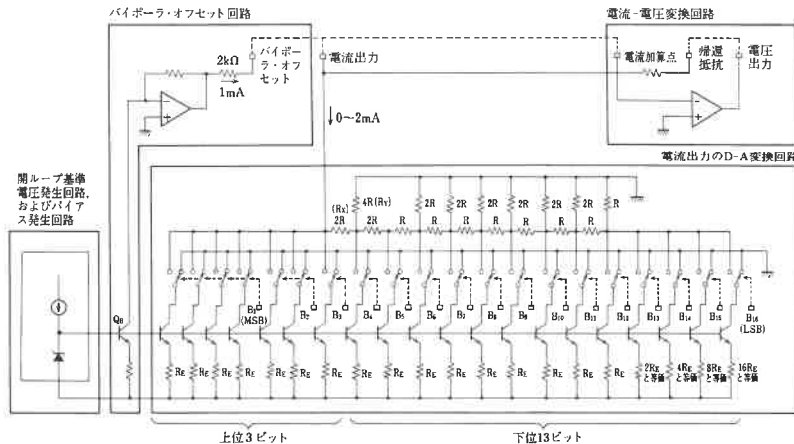
平行、シリアルともにアナログ信号をA/D変換した“データ”ライン

だけで構成されていることは稀であり、通常は信号のタイミングを示す線、L/Rの切り換えを示す線などの“コントロール”ラインが付随しています。



注：1. クロックが16ビットデータ・ワード入力の間で停止した場合は、入力レジスタからDACレジスタへの転送を完全に行うために、17番目のクロックの立上りエッジが必要です。通常の連続したクロックでは、LSBクロックの次のクロックの立上りエッジが、この機能を実行します。2. データ・フォーマットはバイナリの2の種数(BTC)です。各データ・ビットは対応するクロックの立上りエッジでロックされます。3. ラッチ・イネーブル(LE)は、ローになった後最低1クロックサイクル分ローを維持しなければなりません。4. ラッチ・イネーブル(LE)は、ローになる前最低1クロックサイクル分ハイになっていなければなりません。

〈第18図〉 パープラウン PCM 56 P の入力タイミング図 (BB社データブック'88より)



電流出力型のD-A変換回路は、精度を確保するために上位3ビットと下位13ビットの回路に分かれている。上位3ビットの回路は7個の定電流源を切り替える。下位13ビットの回路は、上位ビットと同じ電流値の定電流回路で変型R-2Rラダー回路を駆動する。開ループ基準電圧発生回路やバイポーラ・オフセット回路、電圧出力用の演算増幅器なども内蔵している。従来製品と比べると、セグメント・デコードを省いたことや、出力を電圧に変換する前の電流出力を外部端子に出したことが違う。

〈第19図〉 パープラウン PCM 54, PCM 55 の内部ブロック図 (BB社データブックより)

これは第16図(a)のようにデータ線だけであれば、信号がどこで切り換わったかを識別するために、なんらかの工夫をすることが必要となります。デジタル機器間のパイフェーズマーク信号などがその例で、受信側はデータの句切りを探し出すために (LSIの内部で) 大変な処理をしています。

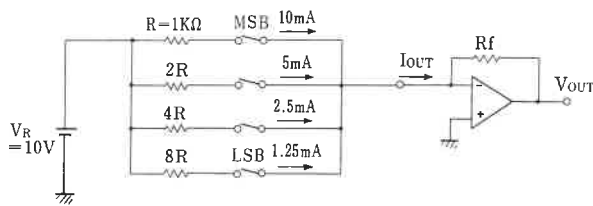
これに比べ第16図(b)のようにどこでデータを読み込めば良いのかを示すラインがあれば、送り側、受け側共にタイミングを明確にすることができ、処理が楽になります。

ここで注意して頂きたいのですが、第16図(b)の例では、クロックの立ち上がりによってデータを読み込んでいます。図のように、タイミングを伝える場合には、信号の“H”、“L”のレベルではなく、“H→L”、“L→H”のようなダイナミックな変化をトリガとする事があります。

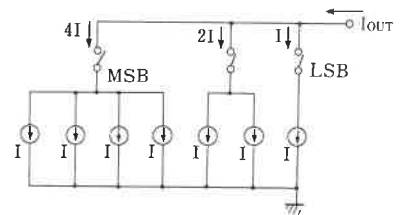
第17図に信号のダイナミックな変化によって動作する素子をいくつか示しましょう。(a)のラッチ(Dフリップフロップ)はクロックの立ち上がりの瞬間のデータを記憶し、出力する素子です。そして一度蓄えられたデータは、次のクロックの立ち上がり来るまで保持されます。

ラッチを多数接続することによって入力信号を任意のクロック分遅らせる回路が構成できます。(b)のようにn段のラッチを接続した回路は、最初のクロックの立ち上がりによって1段目のラッチにデータがホールドされ、次の立ち上がりによってそれが2段目へ、2段目の出力は3段目へと順に送られて行きます。このように、クロックによってデータを順々に伝える回路をシフトレジスタ回路と呼びます。16ビットのシフトレジスタがあれば、シリアル信号を平行に変換することができます。

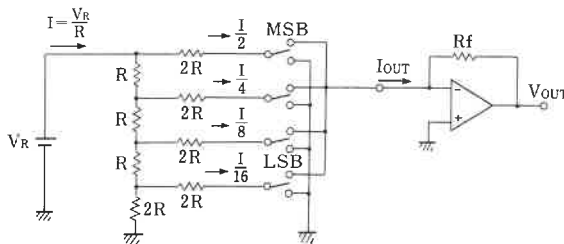
さて、第17図(a)に示したように、信号の変化によって動作する素子も、信号のレベルによって動作する基本素子(NOT, AND, OR, NAND, NOR)の組合せによって構成可能です。しかし



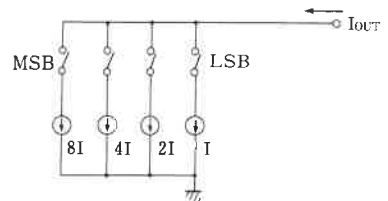
(a) 重み抵抗型D/Aの原理



(c) 並列型D/Aの原理



(b) R-2RラダーD/Aの原理



(d) 重み電流並列型D/Aの原理

〈第20図〉
(a)重み抵抗D/A
と(b)R-2Rラダー
抵抗の原理

ここでは、レベルによって動作する素子、信号の立ち上がり、立ち下がりのダイナミックな変化によって動作する素子の2タイプがあると考えてください。

では実際の例として第18図に、今回使用するパーブラウン社のD/AコンバータPCM-56Pの入力タイミング図³⁾を示します。PCM-56Pの入力にはデータ(アナログからデジタルにされた音楽の化身)、クロック(どの時点でデータが切り換わったかを示す信号)、ラッチイネーブル(データ組の句切り、16ビットであれば16個を示す信号)の3つの端子が使われています。

また、第18図のようにデジタル回路の素子と素子の接なぎ目(インターフェース)の信号の時間関係を表わした図をタイミングチャートと呼びます。デジタル回路の設計では、タイミングチャートを読み、信号の時間的な流れを合わすことが必要です。このチャートが、どのような意味を持つのかは後で詳しく説明いたします。

D/A コンバータの動作原理

D/A コンバータ(以下D/A コンバータとは、オーディオ界で呼ばれる2つのケースに分かれたCDプレーヤの後半部ではなく、D/A変換を行うチップを指します)は、その名の通りデジタル信号をアナログ信号にする素子です。

今回使用するパーブラウン社のPCM-56Pは電流並列型とR-2Rラダーを組み合わせた変換方式です。第19図にPCM54、PCM55の内部ブロック図を示します(BBによるとPCM56Pもほぼ同等だそうです)。

上位3ビットは、同一の電流出力を持った7個の電流源を4個、2個、1個と組み合わせる方式で3ビットのD/Aを構成し、中間の8ビットは、R-2Rラダーネットワーク、そして下位5ビットは5個の定電流源の切り換え方式と、3種類の方式の複合となっています。では、中間部のラダーネット

ワーク方式から説明いたしましょう。

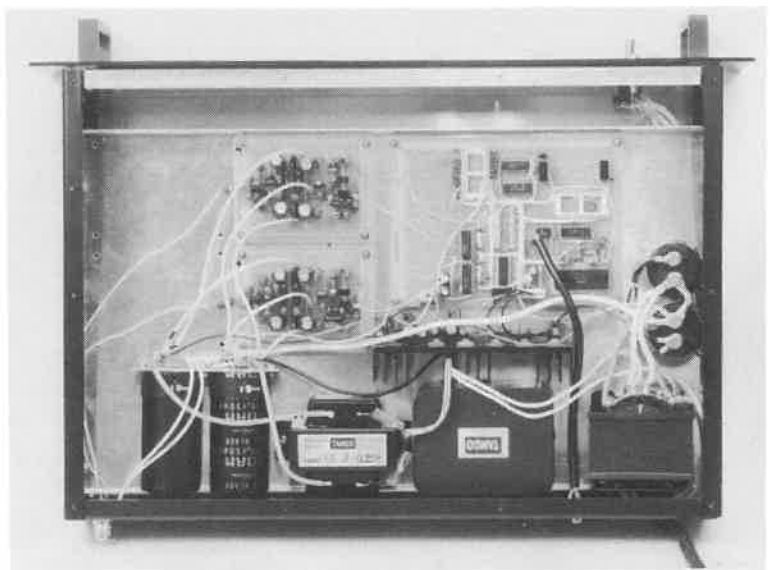
第20図(a)に重み抵抗(weighted-resistor)D/Aを、(b)にR-2Rラダー(ladder)D/Aの原理を示します。

重み抵抗方式は、基準電圧 V_R 、 n 個(16ビットであれば16個)の抵抗、 n 個のスイッチから構成されています。いま4ビットのD/Aを考え、電圧源 V_R を10V、最上位(MSB)の抵抗を1k Ω としましょう。するとMSBのスイッチが閉じれば出力電流 I_L は

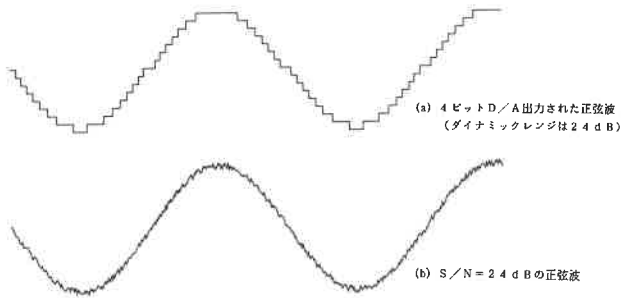
$$I_L = 10/1k = 10\text{mA}$$

次のスイッチが閉じれば

$$I_L = 10/2k = 5\text{mA}$$



▲本機デジタルプロセッサの内部全体



◀ 第 21 図
どちらも
24 dB

その次のスイッチが閉じれば

$$I_L = 10/4k = 2.5 \text{ mA}$$

LSB (最下位) が閉じれば

$$I_L = 10/8k = 1.25 \text{ mA}$$

となります。後はこれらの組合せで 0 から 1.25 mA さきみで、最大 18.75 mA の電流出力を取り出すことが可能になります。このように抵抗によって電流値を定めるのですが、この方法ではビット数が大きくなると問題が生じてきます。

例えば 12 ビットとします。MSB の抵抗が 1 kΩ であれば LSB は、

$$1k \times 2048 = 2048 \text{ k}\Omega$$

が必要になります。たいしたことないじゃないかと思われるかも知れませんが、確かに抵抗値そのものはたいしたことないのですが、精度が大問題なのです。

LSB では、

$$I_L = 10/2048k = 0.00488 \text{ mA}$$



◀ 第 23 図 丸め誤差は必ず発生する

の電流出力になりますから、LSB ± 1/2 の精度を得ようと思えば MSB の電流は

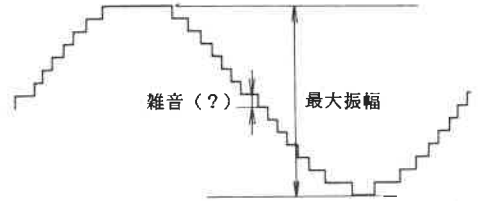
$$I_L = 10 \text{ mA} \pm 0.00244 \text{ mA}$$

よって抵抗値は

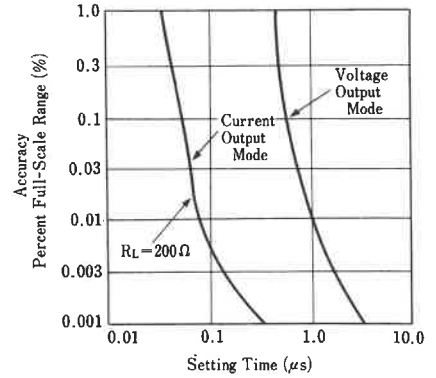
$$1000 \pm 0.25 \Omega$$

つまり 0.025 % の精度を必要とします。

図(b)の R-2R ラダーネットワークでは、ビットの重みに対応した電流を得るために、それに対応した抵抗値



◀ 第 22 図 デジタルのダイナミックレンジはアナログに存在しない雑音と最大振幅の比(?)



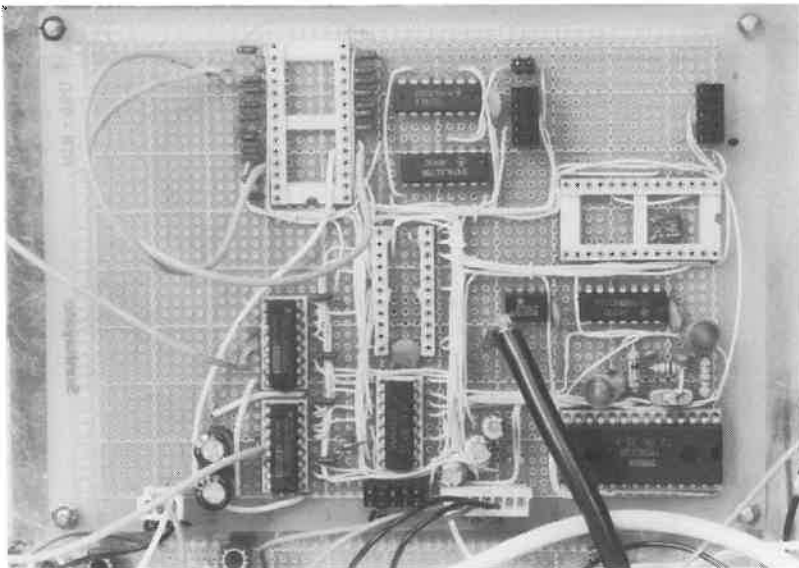
◀ 第 24 図 PCM-56 P のセッティング・タイム対精度

を用いるのではなく、R と 2R の 2 種類の抵抗の (階段) 回路を利用しています。第 20 図で、オペアンプは I/V コンバータ (詳しくは後述) としての働きをしますから、入力インピーダンスは 0 と見なせます。したがって、4 個のスイッチの位置に関わらず V_R から V_R/R の電流が流れます。この電流は常に、もちろんスイッチの位置に関わらず、1/2, 1/4, 1/8, 1/16 に分流されます。これらのスイッチの組合せにより、重み抵抗方式と同様なビットに対応した電流出力が得られます。

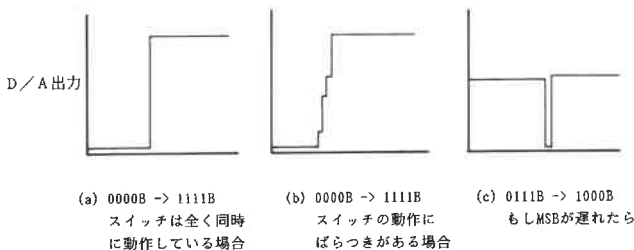
この方式の利点は抵抗値が 2 つで良いことです。しかし重み抵抗方式と同様、ビット数が大きくなると高精度の抵抗が必要です。と言っても全ての抵抗が高い精度を要求されるのではなく、MSB が最も厳しく、下位に行くほど精度は低くてもよくなります。そこで、製造時には上位の何ビットかを特別な工程によって調整しています。

次に電流並列型 D/A です。

いまここに 7 個の出力 I の電流源があるとします (第 20 図 c)。これらの電流源を 1 つ、2 つ、4 つとビットに応じて、例えば 001 B では LSB のみ、101 B では MSB と LSB のスイッチ



▲ デジタルプロセッサと D/A コンバータ部の基板



〈第25図〉D/A出力のグリッジ

をONにして電流を加算すれば、デジタル信号に応じたアナログ電流を得ることができます。

並列型D/Aでは、それぞれの電流源が全く同じであれば、精度の良いD/Aコンバータを構成することが可能です。しかし実際にはどうしてもばらつきが生じますし、1つ1つの電流源の誤差が小さく抑えても、それらが組み合わさることによって誤差が増大する可能性があります（1%出力の大きな電流源を100個使用すれば1ビット分大きくなってしまふ）、また $2^n - 1$ 個の電流源が必要ですから（16ビットで65535個）ビット数が多くなると実用的ではありません。

並列型D/Aにも重み抵抗方式のように、電流源に重み付けする方法もあります（第20図d）。4ビットのD/Aであれば1, 2I, 4I, 8Iの電流源を用意すればこれらの組合せによって0~15段階の電流を合成することができます。しかしこの方法にも重み抵抗式と同様な問題点があり、ビット数が増えると精度の点が問題となってきます。

D/Aコンバータの特性

D/Aコンバータの特性を表わすために重要な項目は、セtringタイム、微分直線性、積分直線性、温度安定性等です。これらを差し置いてアナログオーディオで馴染みの深いダイナミックレンジ、高調波びずみ率だけを持ち出して比較検討する点に問題が隠されているように感じられます。

それではセtringタイム、直線性について説明する前に、デジタルオーディオにおけるダイナミックレンジについて考えてみましょう。

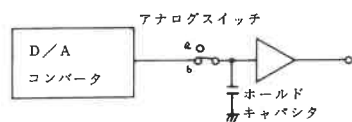
1. デジタルオーディオにおけるダイナミックレンジ

デジタルオーディオのダイナミックレンジは、理論的にビット数 $\times 6 + 1.8$ dBとなります。16ビットのD/Aであれば97.8 dB、18ビットを使用すれば109.8 dBです。

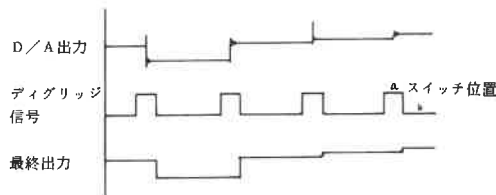
レコードでどう頑張ってみたところで70 dBですから、CDによって一挙に30 dB、実に30倍もダイナミックレンジが改善されたはずですが、きつと読者のリスニングルームでのダイナミックレンジも、デジタルによって大きく改善されたかと…。思う人はほとんどないのではないのでしょうか。

以下は私の仮説です（独善的な解釈の責任は筆者にあります）。

第21図(a)は正弦波を4ビットD/A再生したものです。もともとの正弦波は連続ですが、A/D変換後は4ビットですから16段階に刻まれています。このデジタル信号でも約24 dBのダ

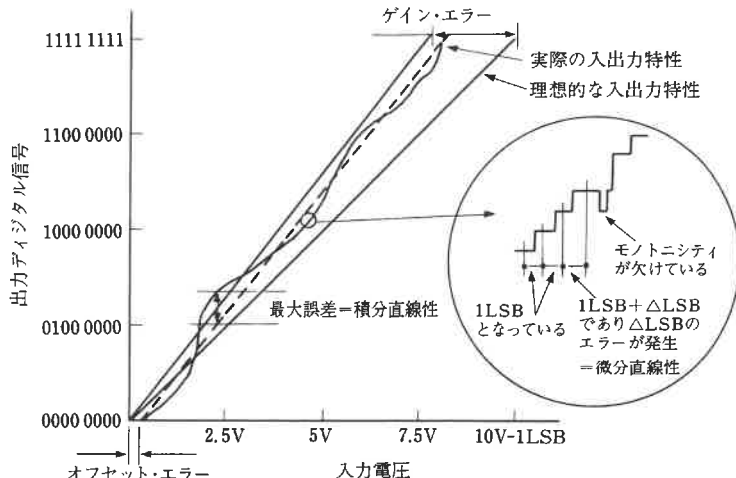


〈第26図〉
ディグリッチャ回路の原理



イナミックレンジを持っています。一方アナログのダイナミックレンジ24 dBは、信号と雑音レベルの比が1.6倍ありますから図(b)のような波形となります。どうでしょう、両者が同じに考えられるのでしょうか。

デジタルでのダイナミックレンジとは、信号をA/D変換した際の丸め誤差の最大振幅に対する割合です（第22図）。アナログ信号をある時点でサンプリングしたとすれば、これを正確に表現するためには、1.41421356..., 1.7320508..., 2.2360679...のように無限の数字が必要になります。したがって無限のビット数がなければ正しくサンプリング、再生することは不可能です。しかしデジタルで数字を取り扱うためには、どこかで桁数を区切り、1.414, 1.732, 2.236のように後の桁数を切り捨ててしまわなければなりません（第23図）。これは切捨てでなく、四捨五入でも同じです。何れにしても丸め誤差を伴ってしまいます。



〈第27図〉実際のA/Dコンバータの入出力特性（新設デジタルオーディオより）

の劣化は避けられないと考えられます。本機に使用した PCM-56 P は、デグリッチャ回路を使用しなくても十分な特性が得られるため省略します。

3. 微分直線性と積分直線性

微分直線性は、ある出力から隣接した次の出力の状態へ変化する際の理想 1 LSB からのずれの程度です。入力最低から最大までの全ての範囲で、この誤差のもっとも大きい値を微分直線性誤差として表わします (第 27 図)。

図に示されるように 1 ビットずつ出力が大きくなって行くとしても、1 ビット毎の幅がわずかず異なっています。また、最悪の場合には数字が大きくなったにも関わらず、出力が減少するモノトニシティに欠ける状態が発生することがあります。微分直線性はミクロに見た場合の非直線性を示します。

これに対して積分直線性は、マクロに見たときの非直線性を表わします。1 ビット毎のずれがどんなに小さくても、ある区間ですべてプラスに変位していれば、その和としては大きな偏位になりかねません。この 0 から最大値を結んだ直線からのずれの最大値を、積分直線性誤差と呼びます。

これらの両誤差ともに有害な非直線ひずみとなりますから、少なれば少ないほど良好な再生音が期待できると考えられます。

PCM-56 P のタイミング

PCM-56 P はシリアル入力です。したがって、LSI の内部でシリアルデータをパラレルへと変換した後に D/A 変換しています。第 28 図に PCM-56 P の内部接続図を、第 1 表にピン配置を示します。

入力されたデータは S/P 変換部でパラレル変換され、次に来るラッチイネーブル (LE) の信号の立ち下がりエッジによって、ラッチ (一時記憶) に転送されます。このパラレル化された "1" "0" 信号を基にして、D/A 変換器のアナログスイッチを駆動します。

モデル	THD at FS (%)
PCM56P	0.008 Max
PCM56P-J	0.004
PCM56P-K	0.0025

〈第 2 表〉 PCM-56 P のランク

ラッチでデータを一時的に蓄える理由は、D/A 変換したアナログ信号を次の変換指令 (次の LE の立ち下がりエッジ) まで保持するためです。

余談になりますが、第 28 図の接続図に限らず、LSI のピン配置を示す図は指定のない限り TOP VIEW、つまり上から見たものです。また DIP パッケージでは、長方形を横長に見て、左側にマークがくるようにすると、左下のピンが 1 番、以後反時計回りに 2, 3, 4 となります。

それでは PCM-56 P の入力タイミング図をみながら考えてみましょう。第 18 図をもう 1 度見てください。信号線に上向き、下向きの矢印が記載されていますが、これは立ち上がりエッジまたは立ち下がりエッジで動作が行われることを示しています。第 18 図ではデータ信号が六角形で示されていますが、これは "H" が "L" かの何れか、つまり入って来るデータによって "H" になったり "L" になったりすることを意味します。

では第 29 図のタイミングです。第 18 図では大まかな時間関係しかわかりませんが、第 29 図は PCM-56 P にデータを読み込ませるための手順を精密に記しています。

まず①ある瞬間にデータが "H" から "L" (または "L" から "H") に変化します。(もし "H" または "L" が続けば変化しません) がそして② 15 ns 以上経過した後、③クロックが立ち上がっています。そしてクロックの立ち上がりの後さらに、15 ns 以上データが保持され④、しかもこの立ち上がりの前後の保持時間が 40 ns 以上⑤でなければなりません。つまり、PCM-56 P はクロック信号の立ち上がりでデータを読み込みますが、正しく読みこませるためにはクロック立ち上がりの前後、データを安定させて

ている必要があります。

繰り返しますが、データ信号の立ち上がり、立ち下がりが乱れていても、落ちついてからクロックが入るように設計されていますので、データを読み間違える心配はありません。またクロックの立ち上がりの乱れは、読み込みのタイミングを多少ずらす可能性がありますが、データは狂わしません。

クロックとデータのペアが 16 集まって 1 サンプル分のデータを構成しています。そして上位から順 (MSB ファースト) に PCM-56 P に入っていきます (第 18 図)。そして最後の LSB を入力し、ラッチイネーブル信号を送ります。LE 信号の立ち下がりによって 16 個のデータが LSI 内部のラッチに送られます。

もう 1 度第 29 図を見てみましょう。LE 信号とクロック信号の間に 2 カ所時間関係が示されています。これは LE の立ち下がりにはクロック (最後の LSB) の立ち下がりよりも 5 ns 以上後でなければならず⑥、しかも LE の立ち下がり後 15 ns 以上経過した後でなければクロックの立ち上がりは許されない⑦ことを示しています。また LE は最低 1 クロックサイクル以上 "H" でなければなりません。LE 信号の立ち下がりによって、データがラッチされるとアナログ出力も更新されます。

つけ加えて置きますと、しばしばデータのジッタとが問題であると言われてはいますが、このジッタは LE 信号の時間的なゆらぎを意味するのであって、データ信号個々の揺らぎを意味するものではありません。なぜならデータ入力のタイミングが揺らいでいたとしても、D/A 変換指令の間隔が安定していればアナログ出力のタイミングには影響を及ぼさないからです。

PCM-56 P はひずみに応じて 3 ランクありますが、本機では最も優れた K ランクを使用します (第 2 表)。次回はデジタル系の回路設計です。

(参考文献)

1. 土井利忠, 伊賀章, 新版ディジタル・オーディオ, ラジオ技術社, (1987)
2. Burr-Brown Data Book (1988)