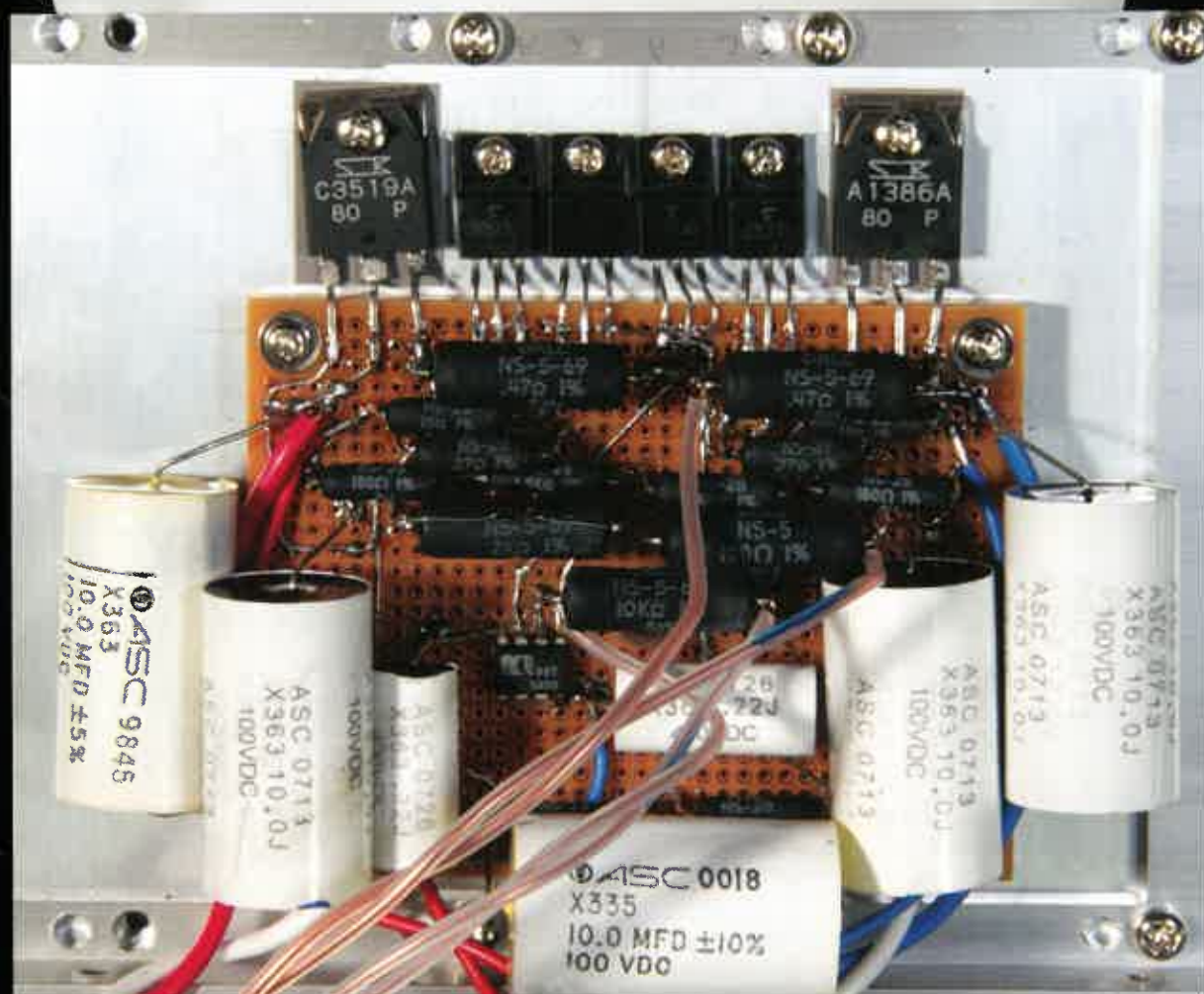


高音質オペアンプを採用した 50Wパワー・アンプの製作

Only One Products



◆解像度が高く、広く見渡せる音を実現

高音質オペアンプ MUSES 02 を使った 50 W × 2 パワー・アンプ の製作



● マルチ電源採用，共通イン ピーダンスを徹底的に排除

■ 別府俊幸 ■

差が聴こえるか

電源ケーブルでも，スピーカ端子でも，基板の材質でも，ヒューズでも，OPT はもちろんのこと，同じ容量の電源トランスでも，キャパシタでも，トランジスタでも，同じ熱抵抗のヒート・シンクの形状でも，回路方式でも，抵抗値でも，そして，ケースでも，およそ何かを変えると，たいていは音も変わります。

その音の変化をどう扱うかによって，アンプの音はできあがってきます。残念ながら，否，幸いなことに，音のよし悪しを測る計測器は開発されていません。自分で聴いて，よかった方を組み合わせていく，ひたすらその作業を繰り返すことが，音作りです。

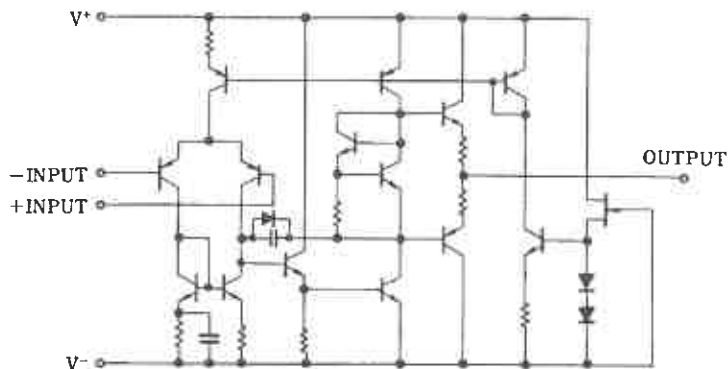
ところで，もっとも簡単なのは比較しても差がわからないときです。誰に何といわれようと，自分でわか

らなければこれほど安心できることはありません。トランジスタのコンプリ・ペアの h_{fe} 選別などがそうでした。たしかに，ひずみ率の数字は小さくなり，DC オフセットも小さくなります。けれども h_{fe} が2倍異なっているとしても，私には差は聴こえません。

つぎに簡単なのは，ちょっと差があるような気がするけど，大きな差ではない。あるいは，どうでもいい

違いだ，と感じるときです。この判断が出たときも無視できます。アンプの内部配線材など，シールド線ではなくて硬くなければ，それほどこだわりはありません。

やっかいなのは，無視できない。あるいは，本質的な差だ，と感じるときです。このポイントでは，手を抜くことができません。能動素子の選択もその1つです。受動素子に比べれば，能動素子の音の違いは+



〈第1図〉 NPM 4580 オペアンプの等価回路 (データ・シート (2) より)

30 dBです。能動素子の選択を誤ると、どうやってもアンプの音はよくなりません。

MUSES オペアンプの特徴

(1) 音質の徹底的追求

新日本無線(株)より昨年12月に発売されたMUSESシリーズ⁽¹⁾は、音質に徹底的にこだわって開発されたというオペアンプです。

MUSESには入力段の差動回路がJ-FETで構成されるMUSES 01と、pnpトランジスタのMUSES 02の2種類があります。どちらも秀逸な音です。わたしはバイポーラ入力の方が好みの音色でしたので、MUSES 02を使います。

MUSES 02の等価回路は公表されてはいませんが、図面に表される“等価回路”は、開発のベースとなったNJM 4580と同じになります(第1図)⁽²⁾。等価回路図上は、pnpトランジスタの差動入力にダーリントン・エミッタ接地、そしてコンプリメンタリ・プッシュプル出力段と、標準的な構成となっています。

が、同じ回路のアンプであっても、トランジスタやFETなどの能動素子を交換すれば音は変わります。シリコン・チップの上に回路を

構成されるオペアンプであっても同様、それぞれのトランジスタのコレクタやベースやエミッタの形状、配置などの幾何構造、不純物濃度、拡散などプロセスによって、特性も、そして音も大きく変化します。

そしてMUSESの開発に際しては、考えられるあらゆるポイントについて、試聴による確認が行われました。たとえば、オペアンプ回路の電流は信号によって変動します。そして、出力段の電流変動は入力段の何十倍にもなります。電流が変化すれば、当然、発熱量も変化します。この発熱変化によってシリコン・チップ上の温度分布が変化します。この温度の変化は、他の回路に影響を及ぼします。

また、電位を持たないプリント基板とは異なり、シリコン・チップでは、信号の変化はシリコン・サブストレートを介して電位としても影響します。ある回路の電位変動は、他の回路の電位にも影響を及ぼすかもしれません。

MUSESでは、それぞれの素子を徹底的に見直すとともに、これらの相互影響をも排除するため、シリコン・サブストレート上の素子の配置、間隔までも見直されました。

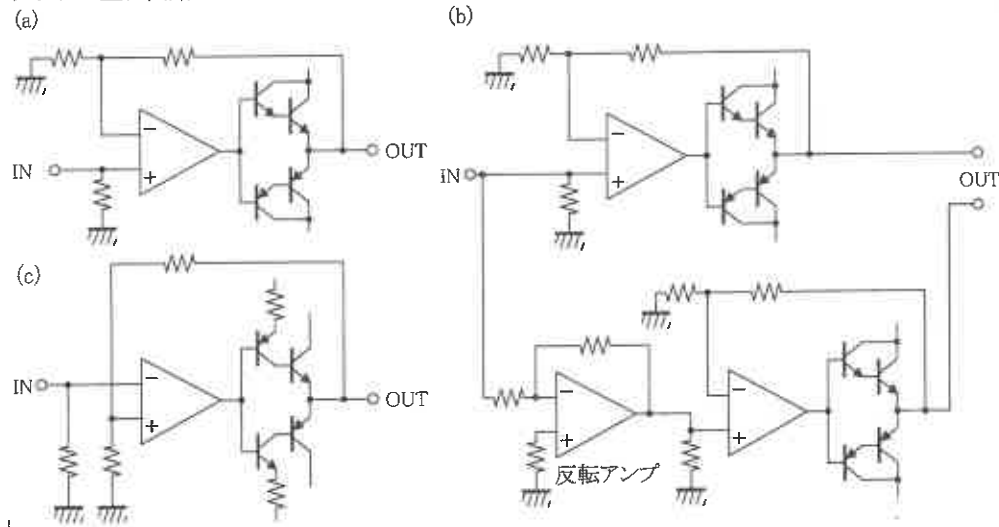
しかし、たとえシリコン・チップ上に温度分布が存在しても、サブストレート電位が変動しても、音に現われなければ問題ありません。しかし、音に影響するのであれば、無視することはできません。音に現われるかどうか。開発の過程では、500個を超える試作、そして試聴が繰り返されたと聞いています。特性ではなく、音質を追求されたオペアンプがMUSESです。

(2) 共通インピーダンスの排除

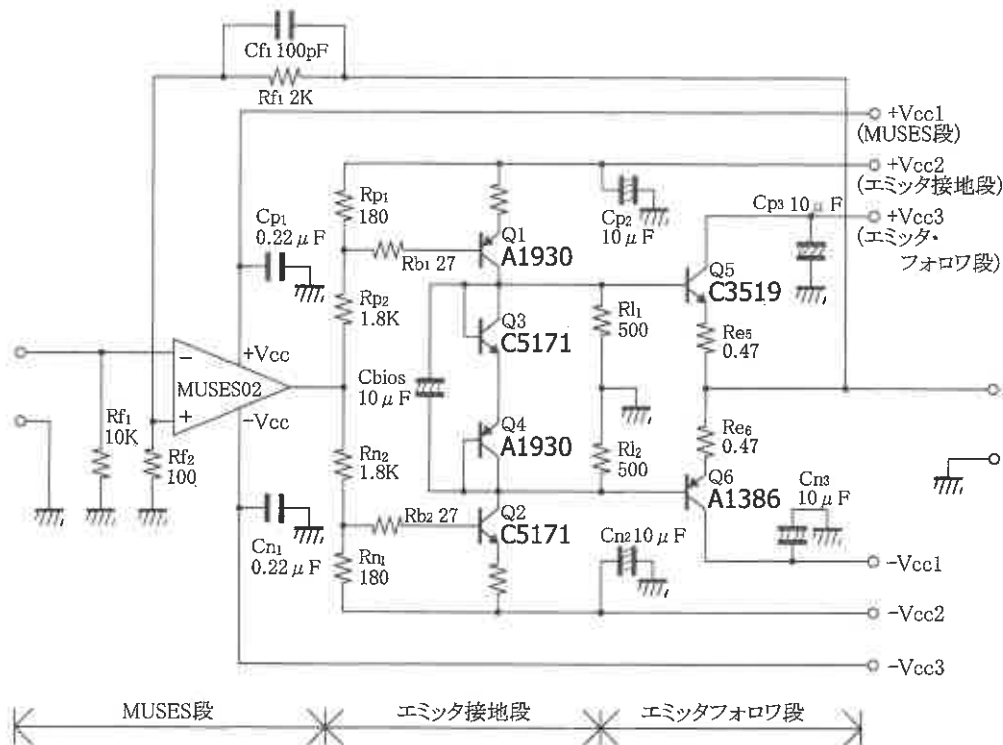
さらにMUSESでは、徹底的な“共通インピーダンスの排除”が図られています。極細の導電ラインでは、チップ上の1mmにも満たない距離であっても無視できないインピーダンスを持ちます。

たとえば、電源端子からのワイヤがボンディングされた地点から、各増幅段への供給ラインが順々に接続されているのであれば、出力段の電流変化は、入力差動段へも電圧変化として影響を及ぼします。その対策として、個別に配線しようとするれば、それだけチップ面積も必要となります。

最終的にMUSES 02では、NJM 4580と比べてチップは約3倍の面積となりました。同じ等価回路で表



(第2図)
オペアンプを使った
パワー・アンプの
構成3種



(第3図)
新日本無線の
MUSES02 オ
ペアンプを使
った50W×2
パワー・アン
プの全回路図

わされるオペアンプであっても、中身(チップ)は“まったくの別物”です。

ところで、MUSESは2回路入りオペアンプで、1つのパッケージの中には2つのシリコン・チップが納められています。

MUSESの試聴時に感じたことに、音の広がり感がありました。

デュアルのオペアンプは、例外なく音場が拡がらず真ん中に集まり、そして音像が不明瞭に混じり合うような定位感の劣化が感じられます。この劣化は、デュアルのオペアンプであっても、左右に別々の石を使うと改善します(したがって、それぞれの片側のチャンネルは進んでいる)ので、チャンネル・セパレーションとして示される値(数字上は、かつてのレコードに比べて数100倍以上改善されているはず)は信じないで、シリコン・サブストレートを介して干渉し合うのだ、と決めつけていました。

ところが、MUSES01もMUSES

02も、このセパレーションの悪化がほとんど聴こえません。意外でした。その秘密は、シングルオペアンプ・チップを選別して1つのパッケージに収めるASD/Advanced Symmetry Die-bonding Technologyにあるものと信じています。

優れた音のシングル・チップを設計しても、デュアル化に際しては、かならずどちらかのチャンネルに制約が生じます。そこで、チップはシングル・チャンネルとして最適化を図り、さらに左右対称の2種類のチップを製造し、組み立てにおいて、特性の揃った2つのチップを探し出してパッケージングし、デュアル化するプロセスが採用されました。これによって、コストも製造時間も大幅にアップしますが、それでも音質には換えられません。もちろん、それぞれのチップへは、別々にボンディング・ワイヤが配線され、共通インピーダンスは徹底して排除されています。

(3) 素材の厳選

MUSESのリード・フレームには、ICとしては世界で始めて無酸素銅材が使われています。それだけではなく、その外装メッキ材までも詳細な検討が加えられています。

通例、ICの音質評価はソケットに挿入して比較されます。ところが、ソケットで高い評価を得た外装メッキであっても、実装し半田付けした基板では高い評価とならないものがありました。そのためMUSESでは、ソケットと半田付けの両条件においても音質差の少ない材料が厳選されました。

同じ等価回路で表わされるオペアンプであっても、MUSES02の音質は、オリジナルとはまったくの別物となっています。

アンプの回路構成

オーディオ機器の中でも、もっともオペアンプを使いにくいのがパワー・アンプでしょう。電源電圧が最

高でも±18Vのオペアンプでは、スピーカを鳴らすために十分な電圧まで増幅するには、少々足りません。たとえば、オペアンプの出力にダーリントン・エミッタ・フォロウを用いた回路(第2図(a))では、4Ω負荷で20Wは得られません。私の部屋でふだん聴くには十分な出力ですが、広めの部屋ではもうちょっと欲しいところです。

パワー・アップの方法の1つは、ブリッジド・トランスレス/BTL接続です。第2図(b)のように、2つのパワー・アンプの一方の入力を反転し、直列にスピーカを負荷とする方式です。パワー・アンプの電流供給能力が十分にあれば、4倍の出力を得ることが可能です。しかし、アンプ回路は1セット余計に必要となります。

もう1つの方法は、オペアンプの出力に電圧増幅段を加える方法です(第2図(c))。今回は、オペアンプの出力にエミッタ接地プッシュプル段を加えて、終段のエミッタ・フォロウ・プッシュプルを駆動する方法としました。オペアンプのピーク出力電圧13Vを確保して、エミッタ接地段で1.6倍の21Vに増幅できれば、出力電圧20Vが確保できます。実効値で14.1V、4Ω負荷で50Wの出力です。これを目標とします。

第3図に本機の回路を示します。Q₁とQ₂がエミッタ接地プッシュプルを構成しています。この段は反転増幅となるため、フィードバックはオペアンプの反転入力端子ではなく、非反転入力端子に戻します。したがって、反転増幅器でないにもかかわらず、オペアンプの反転入力端子が入力につながっています。通常オペアンプの使いかたではありません。

もちろんエミッタ接地とエミッタ・フォロウ段を無帰還とする手もあります。しかし、無帰還の音は好みではありません。終段までフィードバック・ループに含めたいため、この構成としました。

そして終段は、Q₅、Q₆によって構成されるエミッタ・フォロウ・プッシュプルです。

トランジスタの選定

4Ω負荷で50W出力を得るためには、ピーク出力電圧20V、ピーク出力電流5Aを流さなければなりません。終段のQ₅、Q₆には、コレクタ電流I_c≥5A、コレクタ・エミッタ間電圧V_{ce}≥2V_{ce}の定格が必要です。ここはパワー・トランジスタとしては極めて解像力の高い再生音を聴かせてくれるサンケン電気のマルチエミッタ・トランジスタ2SA1386A/2SC3519Aを使用しました。絶対最大定格はコレクタ・エミッタ間電圧180V、コレクタ電流15A、コレクタ損失130Wです。十分すぎる定格です。

Q₁、Q₂には東芝2SA1930/2SC5171を用いました。低域が締まり、やや高域にバランスがよるものの、透明感は抜群のペアです。伸びのある音を聴かせてくれます。最大定格は、コレクタ・エミッタ間電圧180V、コレクタ電流2A、コレクタ損失20Wです。このアンプには余裕です。

Q₃、Q₄にも100mA以上のバイアス電流が流れますので、Q₁、Q₂と同じ2SA1930/2SC5171を用いました。

アンプ回路の設計

第3図に示すとおり、オペアンプ段の以後の回路はポジティブ側とネガティブ側が対称ですので、ポジ

ティブ側について説明します。

R_{p1}、R_{p2}はアッテネータを構成し、オペアンプ出力を減衰させてQ₁へと導きます。同時に、R_{p1}+R_{p2}はオペアンプの負荷となります。R_{n1}+R_{n2}が対称にありますから、オペアンプの負荷抵抗Z_{op}は、

$$Z_{op} = \frac{1}{2} (R_{p1} + R_{p2}) \dots\dots\dots (1)$$

です。巻線抵抗を使うこともあって、できるだけ抵抗値を小さくしたいのですが、小さくなればオペアンプの負荷が重くなり、最大出力電圧は小さくなります。最大出力電圧対負荷抵抗特性のグラフ⁽³⁾とにらめっこしながら、1kΩは欲しいと考え、

$$R_{p1} + R_{p2} \approx 2k\Omega \dots\dots\dots (2)$$

としました。なお、負荷抵抗によってオペアンプの音がどう変わるかは試聴していません。オペアンプであっても、負荷抵抗は小さい方がいいことがあるのですが、最大出力を優先しました。

ところで、R_{p1}、R_{p2}によるアッテネータの減衰量はできるだけ小さくしたいのですが、Q₁のコレクタ電流がR_{p1}とR_{e1}によって決まります。R_{e1}の電圧降下をV_{Re1}、R_{p1}の電圧降下をV_{Rp1}とすれば、

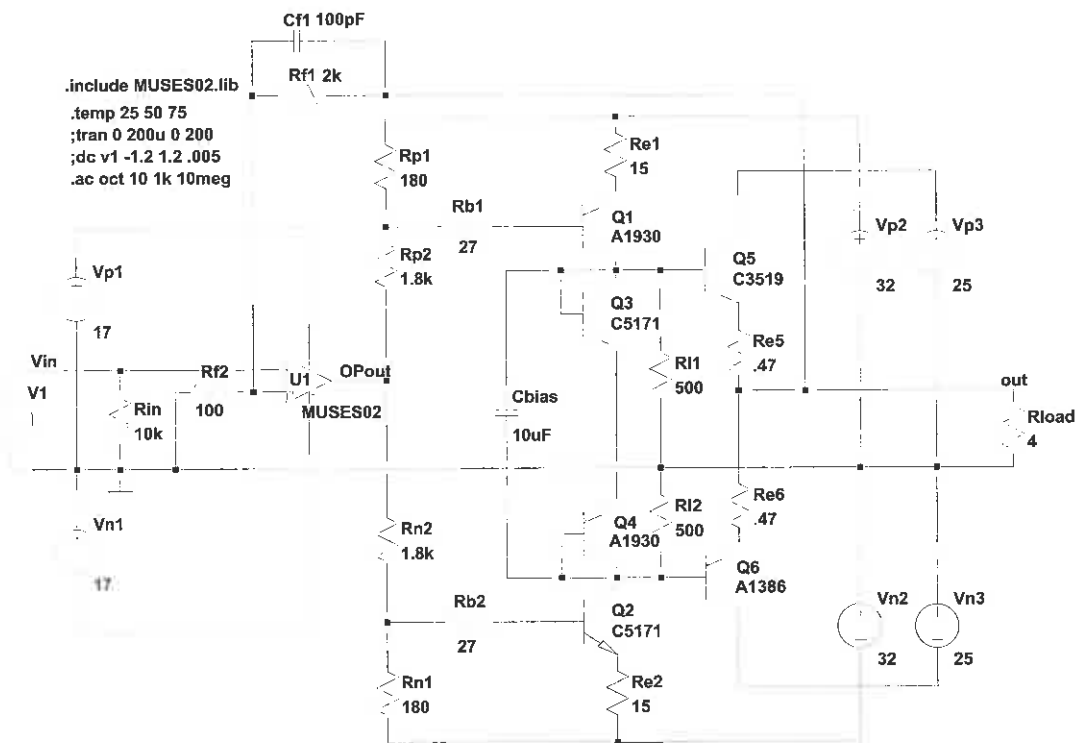
$$V_{Re1} = V_{Rp1} - 0.7 \dots\dots\dots (3)$$

ですので、減衰量を小さくしようとしてR_{p1}を大きくすれば、必然的にR_{e1}も大きくしなければなりません。経験的にR_{p1}での降下電圧は3Vが限度ですので、

$$\frac{R_{p1}}{R_{p2}} = \frac{180}{1.8k\Omega} \dots\dots\dots (4)$$

としました。

つぎに、Q₁はエミッタ接地です。ここでのゲインは近似的にエミッタ抵抗とコレクタ側の負荷抵抗の



〈第4図〉リニアテクノロジー社LTspice IV 4.06を使ったシミュレーション回路

比で決まります。コレクタ側の負荷は、エミッタ・フォロワ段の Q_5 と R_{l1} の並列になります。エミッタ・フォロワ段の入力インピーダンスはスピーカのインピーダンス R_{load} によって変化しますので、 Q_5 の h_{fe} を h_{fe5} とすれば、 Q_1 のゲイン A_{Q1} は近似的に、

$$A_{Q1} \approx \frac{R_{l1} \parallel (h_{fe5} \times R_{load})}{R_{e1}} \dots (5)$$

となります。

式(5)に示されるように、スピーカのインピーダンスが小さくなると A_{Q1} も小さくなります。しかし、アンプ回路としてのクローズド・ループ・ゲインは変化しません。回路全体がフィードバック・ループによって閉じられているからです。

ただ、クローズド・ループ・ゲインを一定に保つため、オペアンプ段のゲインは大きくなっています。逆にスピーカのインピーダンスが大き

くなると、エミッタ接地プッシュプル段のゲインが大きくなり、相対的にオペアンプ段のゲインが減少します。

アンプとしての安定性を考えると、このオープン・ループ・ゲインの変動は小さくしておきたいところです。もちろん、負荷インピーダンス変化の影響を抑えるため、終段にダーリントン接続を加えるオプションもあります。ですが、能動素子数は、増えれば増えるほど音の透明感が失われるとわたしは信じ込んでいます。エミッタ接地段で十分な電流供給能力が見込まれるのに、ダーリントン接続にしてトランジスタを増やしたくはありません。

そこで、エミッタ接地段の負荷抵抗として R_{l1} 、 R_{l2} を用いました。 R_{l1} 、 R_{l2} は、終段のエミッタ・フォロワと並列になりますから、負荷インピーダンスの変化による影響も少なくなることができます。

ゲイン変動を押さえるため、そして、音的な面からも R_{l1} 、 R_{l2} を小さくしたいのですが、小さくし過ぎるとエミッタ接地段でのゲインが不足となります。ここでは R_{p1} と R_{p2} のアッテネータのロスを取り戻すため、約20倍のゲインを確保しなければなりません。試行錯誤の結果、 $R_{l1} = R_{l2} = 500 \Omega$ としました。

同時に、 Q_1 のコレクタ電流 $I_{c(Q1)}$ も考えなければなりません。無信号時のコレクタ電流 $I_{c(Q1)}$ は、

$$I_{c(Q1)} = V_{Re1} / R_{e1} \dots \dots \dots (6)$$

となります。

電流から考えれば、ピーク出力時の負荷電流は5Aです。パワー・トランジスタの h_{fe} を50とすれば、 Q_5 のベース電流のピークは100mAとなります。また同時に R_{l1} にも50mA流さなければなりませんから、 Q_1 のアイドル電流は、その半分の75mAが最低限ですが、音的にはもっと流したいとこ

ろです。

最終的には、電源との兼ね合いもあり、 $R_{e1} = 15 \Omega$ としました。実測での $I_{c(Q1)}$ は145mAとなっています。

Q_5 、 Q_6 のアイドリング電流は、エミッタ抵抗 R_{e5} 、 R_{e6} を0.47 Ω として、成り行き的に160mAとなりました。動作はほとんどB級です。A級かB級かにこだわりはありません。アイドリング電流を変えることによる音の変化は、電流の調整回路を付加するか、しないかによる音の変化よりも小さい、と経験しています。

クロズド・ループ・ゲインは、21倍(26.4dB)です。フィードバック・ループに用いる抵抗値は小さい

方が音はよくなる傾向がありますが、検討も試聴もしないで、2k Ω /100 Ω としています。

位相補償キャパシタ C_{11} の容量も、カット・アンド・トライで決めました。 C_{11} は大きくし過ぎると平板な音になりますし、小さくし過ぎるとピンピンと響くような感じの音になります。

回路シミュレーション

設計時には、リニアテクノロジー社LTspice IV 4.06を用いてシミュレーションしました⁽⁴⁾。LTspiceはLinear Technology社のホームページよりダウンロードできる無料の回路シミュレータです。第4図にシミュレーション回路を示します。

ところが、シミュレータは容易に入手できるのですが、東芝もサンケンもトランジスタ・モデルをサポートしていません。新日本無線も他のオペアンプ・モデルはあるのに、MUSESはありません。仕方なくモデルを作成しました(第5図)。なお、このモデルの精度は保証できないことをご容赦ください。

第6図に、負荷インピーダンスを4 Ω としたときのDCシミュレーションによる、出力電圧とトランジスタの電流を示します。オペアンプは反転増幅となっており、ゲインは約15倍となっています。また、オペアンプ出力には非直線性が見られます。

オペアンプ出力は、 R_{p1} 、 R_{p2} が構成するネットワークによって0.087倍されてエミッタ接地段へと入力され、エミッタ接地段で16.5倍され、終段のエミッタ・フォロワで0.94倍となって、トータル・ゲインは21倍となっています。

シミュレーションでのアイドリング電流は、エミッタ接地段 Q_1 が146mA、終段 Q_5 が61mAとなっています。実測でも Q_1 はバタリでしたが、 Q_5 は前述のとおり160mAになっています。シミュレーション上では Q_5 は-30mVでカットインしていますが、実際にはもう少し低いところから動作しているようです。

バイアス電圧回路の Q_3 のコレクタ電流は無信号時は Q_1 と同じですが、入力電圧が上昇すると、 R_{11} 、 R_{12} へ流れるために減少していることがわかります。

つぎに、負荷インピーダンスを無限大としたときのDCシミュレーションが第7図です。トータル・ゲインはフィードバックがかかっていますので21倍で変わりません

```

.subckt MUSES02 1 2 3 4 5
*
c1 11 12 8.3910E-12
c2 6 7 20.000E-12
dc 5 53 dy
de 54 5 dy
dlp 90 91 dx
dln 92 90 dx
dp 4 3 dx
egnd 99 0 poly(2) (3,0) (4,0) 0 .5 .5
fb 7 99 poly(5) vb vc ve vlp vln 0 74.838E6 -1E3 1E3 75E6 -75E6
ga 6 0 11 12 728.85E-6
gcm 0 6 10 99 2.4295E-9
jee 3 10 dc 120.20E-6
hlim 90 0 vlim 1K
q1 11 2 13 qx1
q2 12 1 14 qx2
r2 6 9 100.00E3
rc1 4 11 1.3720E3
rc2 4 12 1.3720E3
re1 13 10 939.39
re2 14 10 939.39
ree 10 99 1.6639E6
ro1 8 5 11
ro2 7 99 5.5000
rp 3 4 19.398E3
vb 9 0 dc 0
vc 3 53 dc 2.3517
ve 54 4 dc 2.3517
vlim 7 8 dc 0
vlp 91 0 dc 160
vln 0 92 dc 160
.model dx D(lis=800.00E-18)
.model dy D(lis=800.00E-18 Rs=1m Cjo=10p)
.model qx1 PNP(lis=800.00E-18 Bf=600)
.model qx2 PNP(lis=800.0000E-18 Bf=600)
.ends
*$

.MODEL A1930 PNP (IS=4.2061E-12 BF=241.71 VAF=100 IKF=2.0535 ISE=4.2061E-12 NE=1.6011 BR=498.47
VAR=100 IKR=7.7891 ISC=7.9371E-9 NC=1.8071 RB=1.5833 RC=33828 CJE=2.0000E-12 CJC=63.157E-12
MJC=.33333 TF=439.76E-12 XTF=10 VTF=10 ITF=1 TR=10.000E-9)

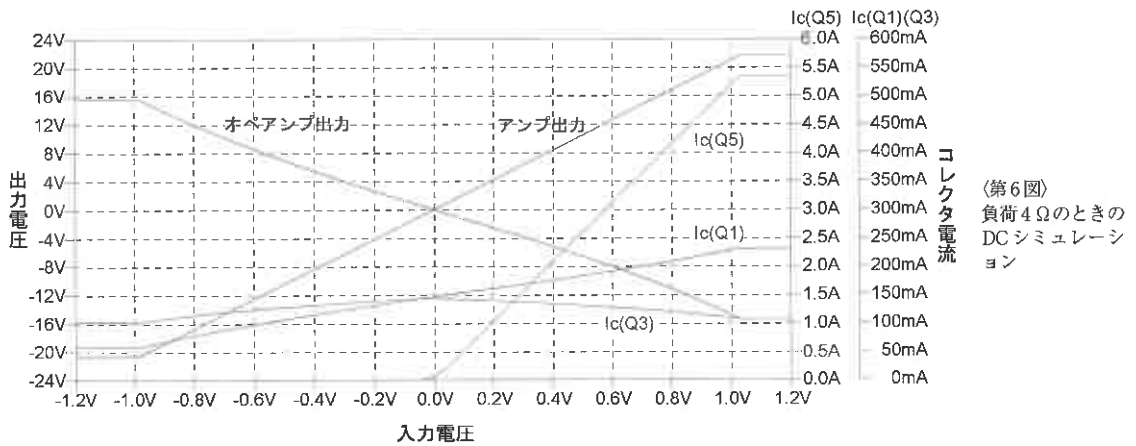
.MODEL C5171 NPN (IS=11.383E-12 BF=218.31 VAF=100 IKF=.68876 ISE=11.383E-12 NE=1.6576 BR=499.50
VAR=100 IKR=4.3637 ISC=345.54E-12 NC=1.4451 NK=.36293 RB=1.5930 RC=18359 CJE=2.0000E-12
CJC=38.866E-12 MJC=.33333 TF=327.97E-12 XTF=10 VTF=10 ITF=1 TR=10.000E-9)

.MODEL A1386 PNP (IS=5.2284E-12 BF=81.770 VAF=50 IKF=19.980 ISE=5.2284E-12 NE=1.3298 BR=4.7405
VAR=100 IKR=2.4437 ISC=42.696E-12 NC=1.3892 NK=.45348 RB=39012 RC=34.699E-3 CJE=2.0000E-12
CJC=1.2146E-9 MJC=.33333 TF=5.0887E-9 XTF=5.2461 VTF=.20545 ITF=85.238 TR=361.51E-9)

.MODEL C3519 NPN (IS=5.3865E-12 BF=187 VAF=50 IKF=20 ISE=5.3713E-12 NE=1.2418 BR=499.50 VAR=100
IKR=19.981 ISC=18.200E-12 NC=2.9381 NK=.6742 RB=58552 RC=74.772E-3 CJE=2.0000E-12
CJC=607.28E-12 MJC=.33333 TF=3.9792E-9 XTF=3.1549 VTF=.23084 ITF=382.49 TR=47.459E-9)

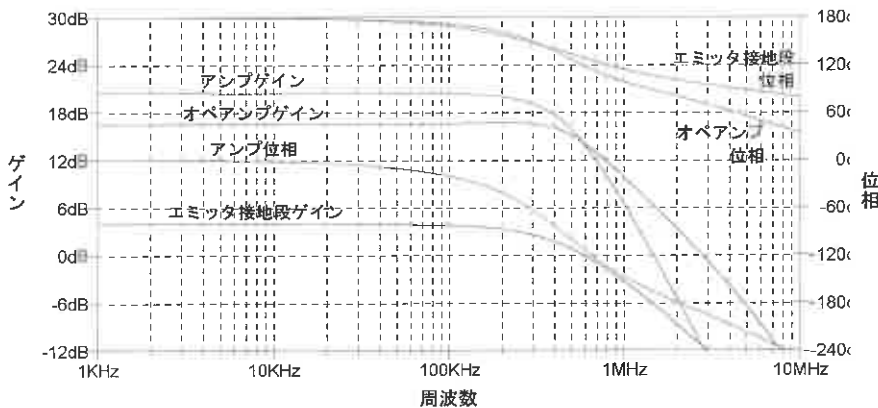
```

(第5図) 設計に使ったオペアンプのシミュレーション・モデル



が、オペアンプのゲインが8.1倍に減っています。エミッタ接地段の負荷インピーダンスが上昇することによって、ゲインが増したためです。負荷インピーダンスによってMUSES段とエミッタ接地段のゲインが変化するのは気分的によろしくありませんが、シミュレーションで音が聴こえるわけではありません。自分の聴感を信じます。

第8図にACシミュレーションを示します。アンプの-3dB点は416kHzです。MUSES段の-3dB点が640kHz、エミッタ接地段の-3dB点が600kHzと接近しているため、アンプのゲインは-12dB/oct.で降下していきませんが、位相余裕は十分にありそうです。ただし、モデルの精度は不明ですので、とにかく作ってみて、(問題があれば)考えることにします。



電源はマルチトランス

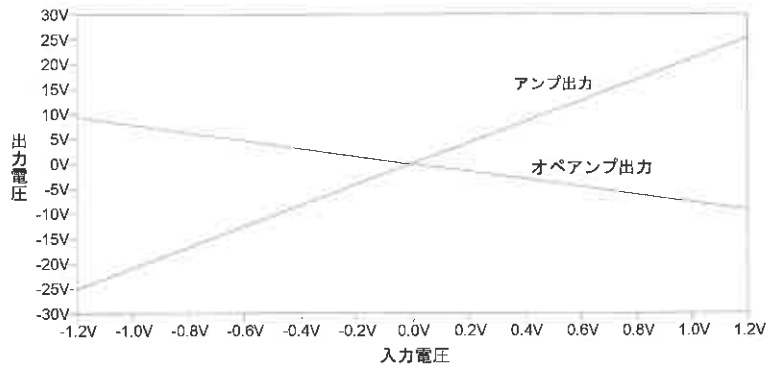
第9図に電源回路を示します。それぞれの電圧は、交流電圧97.8V時の実測値です。

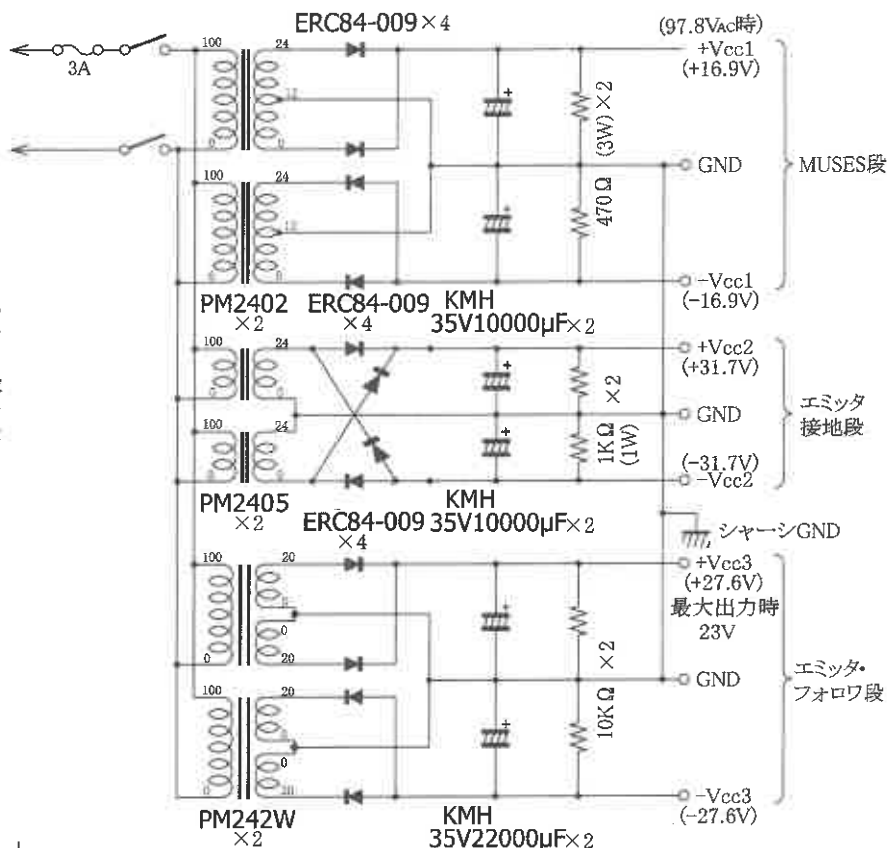
電源は、左右独立、プラス・マイナス別々、MUSES段($\pm V_{cc1}$)とエミッタ接地段($\pm V_{cc2}$)とエミッタ・フォロワ段($\pm V_{cc3}$)も別々の12トランス構成です。内部写真

に見えるように、MUSES段とエミッタ接地段のトランスは2階建てとしています。

もっともコストのかかる部品を12個も使うのはまったくもっておもしろくないのですが、クオリティを落とさずにコストダウンできる代替法を見つけていません。

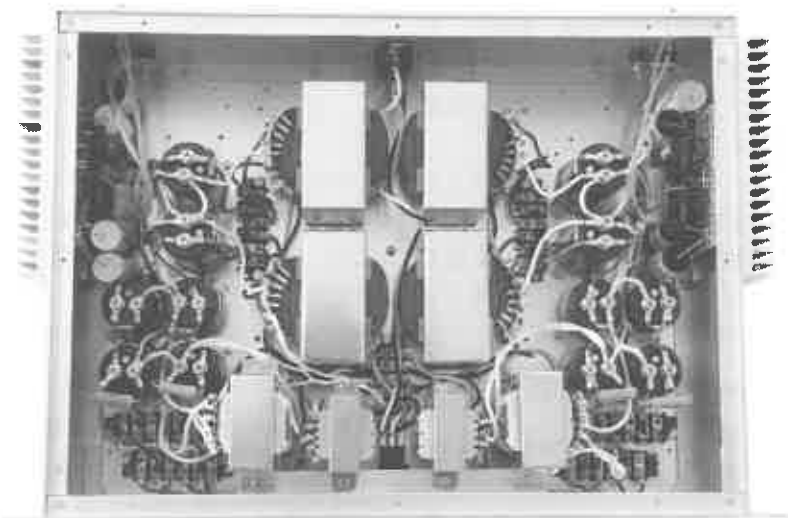
信号電流によって変化する能動素子の電源電流を、複数個合わせて1





(第9図)
左右独立、+-電源別、オペアンプとエミッタ接地段、エミッタ・フォロワ出力段とも独立して共通インピーダンスを徹底的に排除した電源部回路。使用したトランスは全部で12コ

▼シャーンシ上から見るとトランスがズラリ、左右後部に



つの電源トランス(コア)に流すと、コアを介した相互作用によって音場感が減退すると信じています。共通インピーダンスを徹底排除したオペアンプを使うのですから、電源も共通インピーダンスを徹底排除します。

また、第9図に示すとおり、電圧安定化回路は使用していません。安定化して電圧波形がフラットになっても、電源電流は信号によって変化します。依然として電源トランスのコアにも信号によって変調された電流が流れます。つまり、電圧安定

化したところで、トランスを分離する効果は聴こえます。

それに、電圧安定化回路もアンプ回路と同様、能動素子が入るだけ音のクリアさがなくなると信じています。アンプ回路であっても電圧安定化回路であっても、能動素子に信号電流が流れると、その素子の音が付加されます。余分な音を付け加えたくない、それがアンプ設計のポイントです。もっとも、電源電圧が変動するような場所や状況もあります。安定化回路を入れた方が安心であることは確かです。

MUSESの消費電流は最大で12mAです。したがって、電源トランス容量は20mAあれば十分です。容量は1桁大きいのですが、ノグチトランスPM2402(24V, 0.2A)を2個用い、プラス・マイナスそれぞれをセンター・タップ整

流します。プラスとマイナスの信号電流は異なるのですから、トランスを分けるとよくなるのです。ということにしておきましょう。

整流ダイオードには、他の段もすべて含めて富士電機のショットキー・バリア・ダイオード ERC-84-009 を使用しました。オフ時のリカバリ特性に優れるのがショットキー・バリア・ダイオードの利点です。が、なぜ、整流素子のリカバリ特性が音に影響するのでしょうか。不思議です。

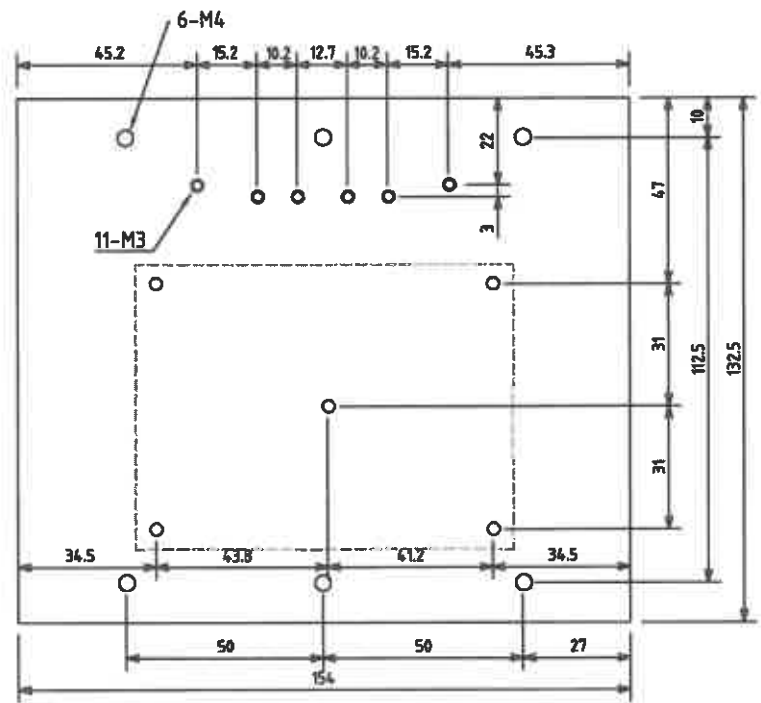
MUSES 段のプリーダ抵抗 470 Ω は電圧調整用です。これは必須です。ないと、MUSES の絶対最大定格電圧 ± 18 V を超えてしまいます。

電源キャパシタは日本ケミコン KMH 35 V 10000 μF を使用しました。ここは、ネジ端子品が絶対です。同じ KMH のシリーズ名を背負っていても、ネジ端子品と基板自立型は比較にならないほど音が違います。

エミッタ接地段は、DC ピーク電流 250 mA が必要です。ここはプラスとマイナスそれぞれにノグチトランス PM 2405 (24 V, 0.5 A) を用いてブリッジ整流しました。

ブリッジは1つです。プラスとマイナスそれぞれをブリッジとする必要はありません。電源の交流電圧の半周期ごとに、プラスとマイナスの信号電流は2つのトランスを交互に流れます。したがって、ブリッジは1つであっても、プラスとマイナスは分離されています。それぞれにブリッジとするよりもダイオードが減るだけ音もすっきりします。キャパシタは MUSES 段と同じくネジ端子の KMH 35 V 10000 μF です。

エミッタ・フォロワ段はプラスとマイナスをそれぞれに、ノグチトラ



〈第10図〉ヒート・シンクの加工図面

ンス PM 242 W (24 V, 2 A × 2) の 2 次巻線を直列接続してセンター・タップ整流しています。キャパシタは、KMH 35 V 22000 μF です。ここは正直なところ、倍くらい容量が欲しいところです。

エミッタ接地段とエミッタ・フォロワ段のプリーダ抵抗は、電源オフ時の放電用です。なくても差し支えありませんが、あった方が組み立て時に安心です。

ヒート・シンク的设计

まず、エミッタ・フォロワ段について考えます。B 級増幅段の発熱の最大値 P_{TRp} は、電源電圧 V_{cc} 、負荷抵抗 R_L として、

$$P_{TRp} = \frac{1}{\pi^2} \frac{V_{cc}^2}{R_L} \approx \frac{1}{3.14^2} \frac{26^2}{4} \approx 17.2(W) \dots\dots\dots(7)$$

です。2 SA 1386 / 2 SC 3519 の熱抵

抗 P_{TRp} は、ジャンクション温度 T_j 、ケース温度 T_c とすると、

$$R_{TRp} = \frac{T_j - T_c}{P_{T(Tc=25^\circ C)}} = \frac{150 - 25}{130} \approx 0.962 (^\circ C / W) \dots\dots\dots(8)$$

となります。ケース温度を 65°C として、絶縁シートによる熱抵抗 $R_\theta = 0.5 (^\circ C / W)$ とすれば、ヒート・シンクに要求される熱抵抗 R_{HSp} は、

$$R_{HSp} = \frac{T_j - T_a}{P_{TRp}} - (R_{TR} + R_\theta) = \frac{150 - 65}{17.2} - (0.962 + 0.5) \approx 3.47 (^\circ C / W) \dots\dots\dots(9)$$

です。つぎにエミッタ接地段を考えます。エミッタ接地段のトランジスタの熱抵抗 R_{TRd} は、

$$R_{TRd} = \frac{T_j - T_c}{P_{T(Tc=25^\circ C)}}$$

$$= \frac{150 - 25}{20}$$

$$\approx 6.25 \text{ (}^\circ\text{C/W)} \dots\dots\dots(10)$$

です。アイドリング電流 150mA、電源電圧 32V であれば、発熱は 4.8W ですから、ヒート・シンクに要求される熱抵抗 R_{HSd} は、

$$R_{HSd} = \frac{150 - 65}{4.8} - (6.25 + 0.5)$$

$$\approx 10.95 \text{ (}^\circ\text{C/W)} \dots\dots\dots(11)$$

となります。エミッタ接地段とエミッタ・フォロワ段を同じヒート・シンクに取り付けるとすれば、

$$R_{HS} = \frac{1}{2} (R_{HSp} \parallel R_{HSd})$$

$$\approx \frac{1}{2} \frac{3.47 \times 10.95}{3.47 + 10.95}$$

$$= 1.31 \text{ (}^\circ\text{C/W)} \dots\dots\dots(12)$$

ヒート・シンクは、LEX (丸三電

機) 21F154 を使用しました。高さはケースに合わせて 132.5mm を特注しました。熱抵抗は約 1.3 (°C/W) です。

エミッタ接地段のトランジスタ (Q_1, Q_2) およびバイアス電圧回路のトランジスタ (Q_3, Q_4) もヒート・シンクにネジ止めし、ヒート・シンクを介して熱結合をさせています。ヒート・シンク加工図を第 10 図に示します。

組立

使用部品を第 1 表に、第 11 図に基板のパターンを示します。MUSES02 はデュアルのオペアンプですが、片側だけを使っています。もったいないのですが、左右を別々とする方が、音場がより広くよりはっきり

と感じられるようになります。

部品は、ユニバーサル基板のパターン面に配置して配線しています。部品が安定するようにユニバーサル基板は 2 枚重ねとして、部品の足がヒート・シンクに接触しないよう 5t ベーク板を下に敷いてヒート・シンクにネジで固定しています。

CR は、基板から 6~8mm 程度浮かぶようにあらかじめ足を切ってから基板に挿入しなければならず、配線が進むと、囲われた部分に半田ごてが入りにくくなります。基板をヒート・シンクに固定したまま配線すると、作業性はぜんぜんよくありませんが、ふつうに基板を 4 点で支えるよりは音がしっかりとするメリットがあります。

なお、位相補償用 C_{f1} は、フィードバック抵抗 R_{f1} の足に半田付けして並列に接続しています。

アンプ基板の抵抗はデールを使用しました。能動素子と比べて受動素子の音への影響は -30dB ですが、それでもやはり、MUSES の音を犠牲にしてしまうような受動素子は使いたくありません。

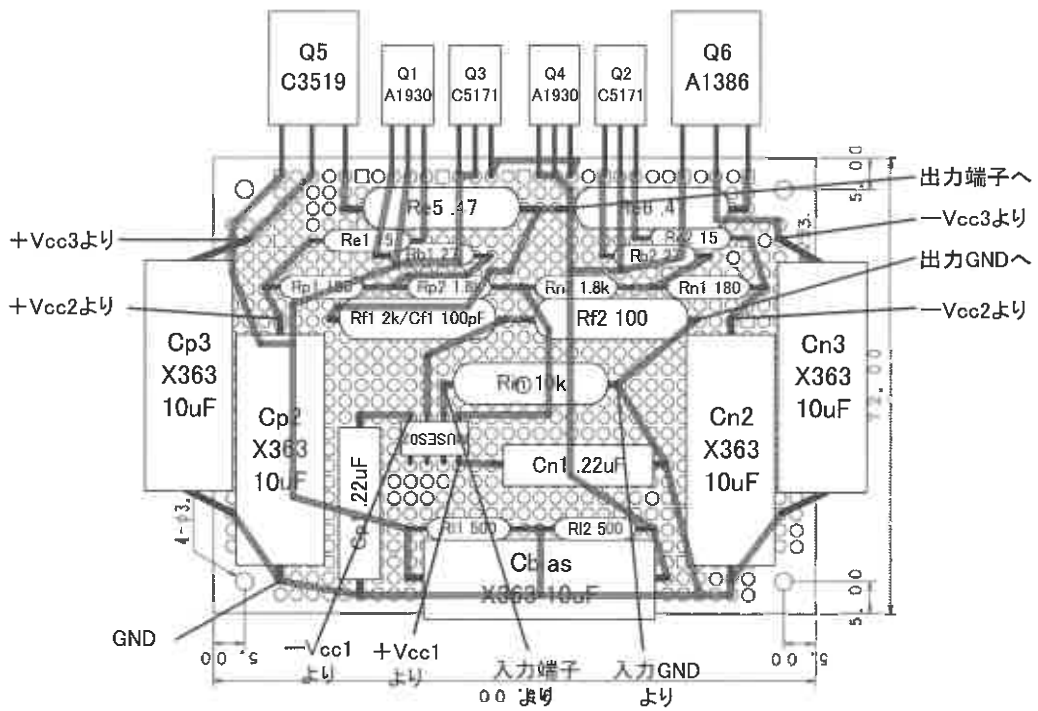
定格電力 5W の NS-5 をいくつか使用していますが、終段のエミッタ抵抗 0.47Ω を除けば、他は 1W の定格も不要です。しかし抵抗も、同じ銘柄なら、大きければ大きいほど音がよくなる経験しています。すべてを 10W にすればもっとよいのでしょうか、聴感上の変化の大きいフィードバック・ループと入力抵抗 R_{in} を NS-5 として、ほかは NS-2B (3W) を使っています。

基板上の電源フィルタおよびバイアス電圧回路 C_{bias} には ASC X363 (X335) を使用しました。 C_{bias} は、なくても動作します。が、音的にはあった方がゴソゴソした感じが少なくなります。ただ、容量はこの 10

品名	メーカー	型式	数量	備考
外表				
ケース	タカチ電機工業	YER-133-32S	1	
AC電源ケーブル			1	
AC電源用コネクタ			1	
電源スイッチ	IDEC	LA1L-A1063G	1	LA9Z-SM61 プラケット使用
ヒューズホルダ	EDK	FH-001AF	1	
ヒューズ		スローブロー-2A	1	スローブローでない場合3A以上
RCA端子	オーディオクラフト	XC-01	1組	
スピーカー端子	アトラス	SP-10	2組	
電源				
トランス	ノグチトランス	PM2402	4	(MUSES段)
		PM2405	4	(エミッタ接地段)
	ノグチトランス	PM242W	4	(エミッタフォロワ段)
端子台	サトーパーツ	ML-3391 6P	7	
ダイオード	富士電機	ERC-84-009	24	
ケミコン	日本ケミコン	KMH 35V10000uF	8	ネジ端子(MUSES, エミッタ接地段)
		KMH 35V22000uF	4	ネジ端子品(エミッタフォロワ段)
抵抗	KOA SPR5C	470 (5W)	4	(MUSES段)
		10k (1W)	8	(エミッタ接地, エミッタフォロワ段)
アンプ基板				
ヒートシンク	LEX	21F154 L=132.5	2	
ユニバーサル基板	サンハヤト	ICB-293	4	
ベーク板		5t 95 x 72	2	
オペアンプ	新日本無線	MUSES02	2	
トランジスタ	東芝	2SA1930	4	
		2SC5171	4	
	サンケン電気	2SA1386A	2	
		2SC3519A	2	
シリコンシート		TO-3	4	
キャパシタ	ASC	X363 400V0.22uF	4	Op1, Cm1
		X363 100V10uF	10	Op2, Cn2, Op3, Cn3, Cbias, X335もOK
キャパシタ	松崎電気	ディップマイカ 100pF	2	CF1
抵抗	Dale NS-5 (5W)	0.47	4	Re5, Re6 (5W以上)
		100	2	Rf2
		2k	2	Rf1
		10k	2	Rin
	Dale NS-2B (3W)	15	4	Re1, Re2
		27	4	Rb1, Rb2
		180	4	Rp1, Rp1
		500	4	Rf1, Rf2
		1.8k	4	Re2, Rn2

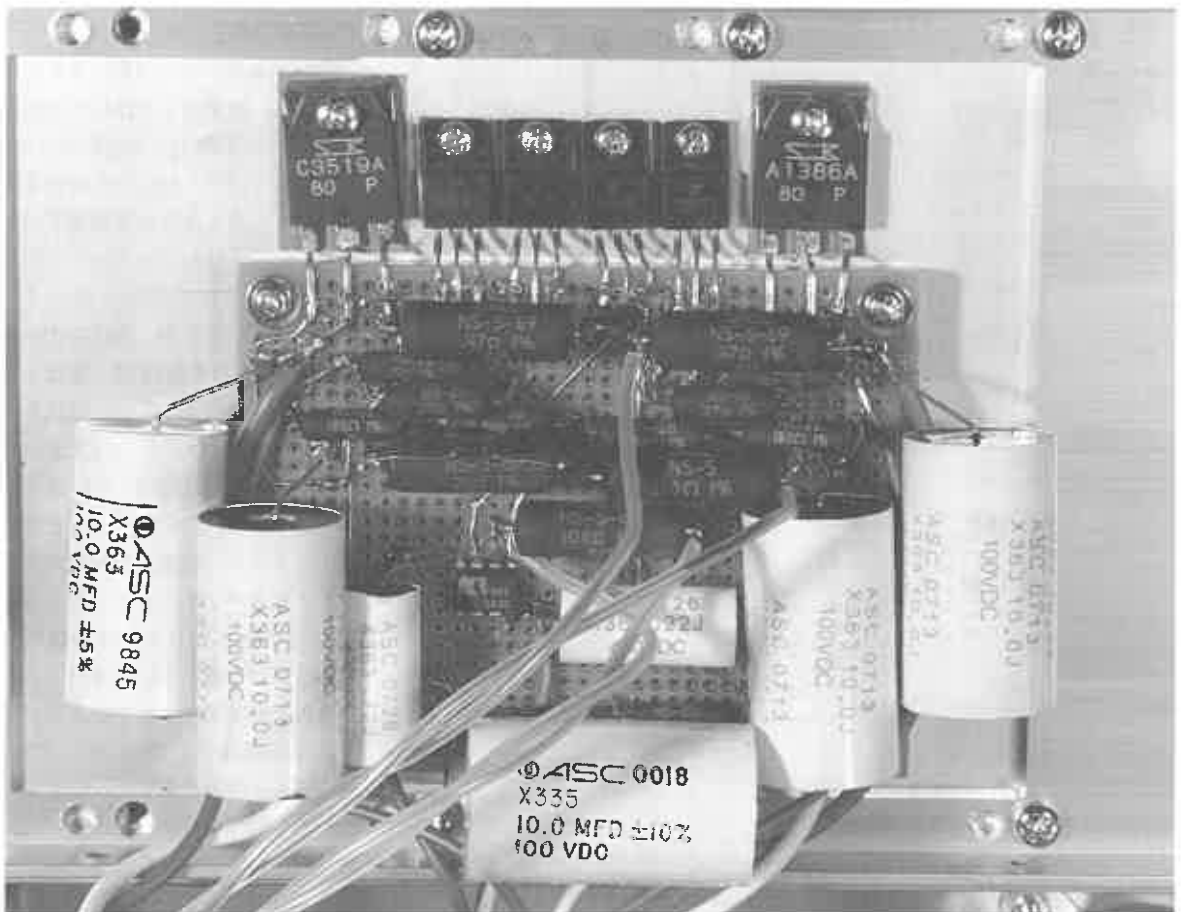
(ネジ、ナット、電線類を含まず)

(第 1 表) 本機の部品表



▲《第11図》基板のパターン図

▼増幅部基板のクローズ・アップ (上図参照)



倍くらい欲しいところです。

位相補償用 C_{11} はディップ・マイカを使用しました。

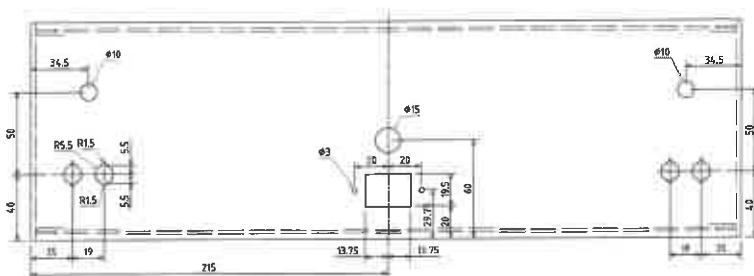
ケースはタカチ電機工業 YER-133-32S です。EIA ラック・ケースですが、ヒート・シンクを左右の側板の外から取り付けていますので、ラックには入らなくなっています。第 12 図にケースの加工例を示します。トランスが 12 個も載りますので、底板は 3t としています。

電源の配線材は 0.3□ のビニール線。また入力端子からアンプ基板までは $\phi 0.5\text{mm}$ 、アンプ基板からスピーカー端子までは $\phi 0.8\text{mm}$ の OFC 単線の被覆線を用いています。基板の上の配線材も OFC 単線です。シールド線は例外なく特徴的な響きを持ちますが、それに比べれば単線や平行 2 芯線は色づけは少ないと感じます。単線でもより線でもいいでしょう。

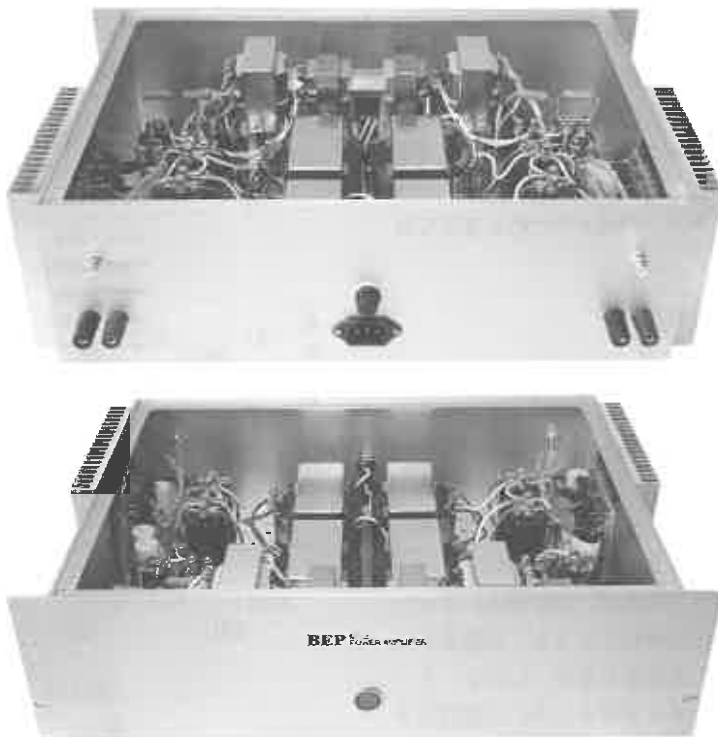
以上、パーツの購入先は、トランスが秋葉原のノグチトランス販売、CR 類と端子が海神無線、ダイオードとパワー・トランジスタが若松通商、MUSES 02 と東芝のトランジスタがネット通販のチップワンストップです。

調整箇所はありません。電源回路を組み立てて電圧を確認してから、アンプ基板を接続してください。別の電源トランスを用いる場合は、MUSES 段が絶対に $\pm 18\text{V}$ を超えることがないように注意してください。また、アイドリング時の消費電流は 0.85 A ほどですが、トランスが 12 個もあるため、電源投入時の突入電流が大きくなっています。ヒューズはスローブロー・タイプの 3 A としています。

本機には、負荷インピーダンスに対する補償回路を入れていません。わが家では発振はありませんが、製



〈第 12 図〉 シャーシ後部パネルの加工図



作の際には、かならずオシロスコープを用いて発振のないことをご確認ください。また、保護回路もありませんので、出力をショートさせないでください。

特性

第 13 図に本機の周波数特性を示します。1 V_{rms} 出力時の -3dB 点は約 450 kHz です。シミュレーションと同様の値です。6, 10, 13 V_{rms} では 100 kHz 付近からレスポンスが急激に低下していますが、これはオペアンプのスリュー・レート/SR による限界です。このあた

りでは、出力電圧波形だけでなく、オペアンプの出力も三角波状になっています。MUSES 02 のスリュー・レートは $5\text{V}/\mu\text{s}$ です。したがって、 $f = 100\text{kHz}$ における無ひずみ最大振幅は、

$$A = SR/2\pi f \\ \approx \frac{5 \times 10^6}{2 \times 3.14 \times 100 \times 10^3} \approx 7.96 \text{ (V)} \dots\dots\dots (13)$$

です。実効値では 5.63 V_{rms} です。したがって、出力段で 1.4 倍に増幅されたとして 7.9 V_{rms} (17.9 dB) が上限となります。

第14図に4Ω負荷時のひずみ率特性を示します。20Hz, 100Hzは何もいうことはないのですが、周波数が高くなると1Wあたりからひずみの増加が見られます。

第15図は8Ω負荷時の特性です。絶対値は下がっていますが、同様の傾向が見られます。他のチャンネル、試作した別の基板、いずれも同様のひずみ特性を示しました。周波数の上昇に伴ってひずみ率が悪化しており、また負荷インピーダンスを高くするとひずみ率の数字が改善されていますので、オープン・ループ・ゲインの減少のためと考えられます。

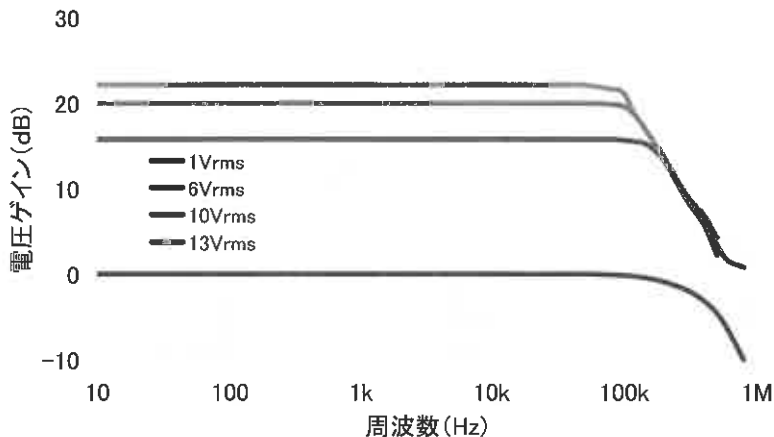
おわりに

解像度が高く、広く見渡せる音場感を持ったアンプです。楽器音に付帯音を付け加えることのないクリアな音色です。何より人の声が美しく響きます。私にとって安心して聴いていられる水準にある音質です。

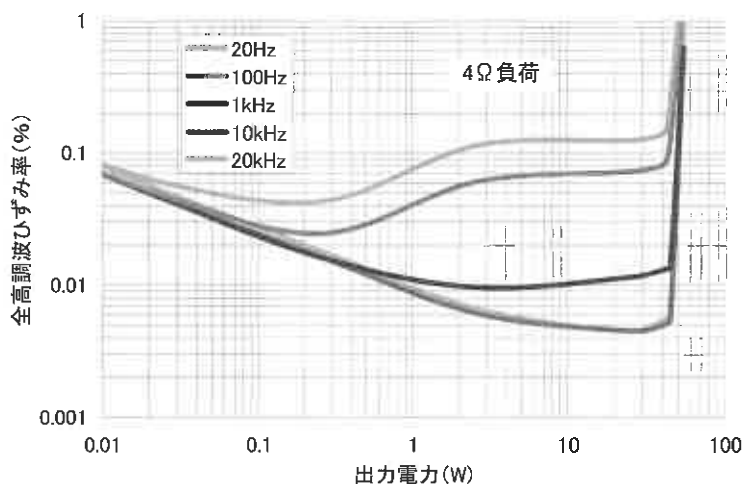
アンプの音は、回路構成によっても、配線材によっても、受動素子によっても変わります。しかし、もっとも大きな要素となるのは能動素子です。優れた素性を持つMUSESオペアンプの音を損なうことなく楽しめるパワー・アンプと思います。

●参考資料

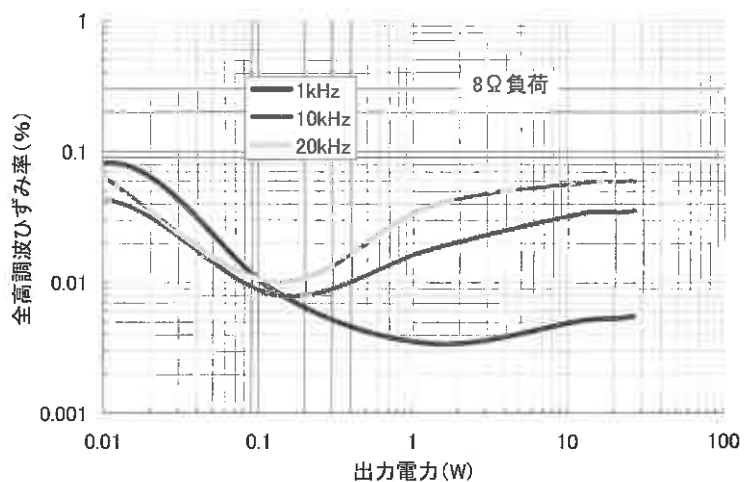
- (1) <http://semicon.njr.co.jp/jpn/MUSES/index.html>
- (2) NJM4580 データシート, 新日本無線(株)
- (3) MUSES02 データシート, 新日本無線(株)
- (4) <http://www.linear-tech.co.jp/design-tools/software/#Spice>



〈第13図〉4Ω負荷時の周波数特性



〈第14図〉4Ω負荷時の雑音ひずみ率特性



〈第15図〉8Ω負荷時の雑音ひずみ率特性